

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005 年 9 月 9 日 (09.09.2005)

PCT

(10) 国際公開番号  
WO 2005/083716 A1

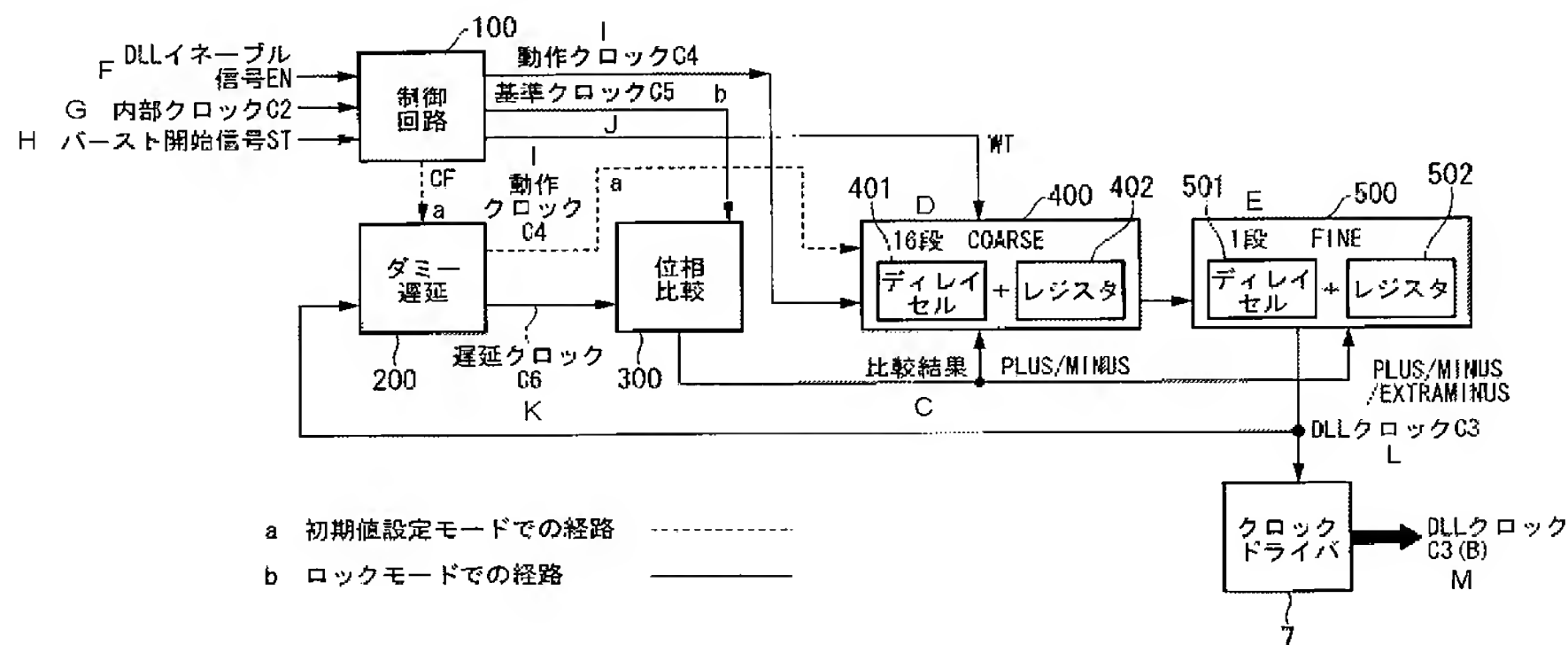
- (51) 国際特許分類<sup>7</sup>: G11C 16/32, 11/4063, G01F 1/12, H03H 11/26, H03L 7/08
- (21) 国際出願番号: PCT/JP2005/001896
- (22) 国際出願日: 2005 年 2 月 9 日 (09.02.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2004-053774 2004 年 2 月 27 日 (27.02.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 番 2 2 号 Osaka (JP). 凸版印刷株式会社 (TOPPAN PRINTING CO., LTD.) [JP/JP]; 〒1108560 東京都台東区台東 1-5-1 Tokyo (JP).

- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 前田 賢吾 (MAEDA, Kengo) [JP/JP]; 〒6390215 奈良県北葛城郡上牧町葛城台 1-8-4 Nara (JP). 谷川 明 (TANIGAWA, Akira) [JP/JP]; 〒6100352 京都府京田辺市花住坂 2-1 2-1 8 Kyoto (JP). 西山 増治 (NISHIYAMA, Masuji) [JP/JP]; 〒5830876 大阪府羽曳野市伊賀 1-2-4 Osaka (JP). 大堀 庄一 (OHORI, Shoichi) [JP/JP]; 〒6310012 奈良県奈良市中山町 1 7 7 4-8 Nara (JP). 平野 誠 (HIRANO, Makoto) [JP/JP]; 〒6610021 兵庫県尼崎市名神町 2-4 クローバメゾン 9 0 5 Hyogo (JP). 高島 洋 (TAKASHIMA, Hiroshi) [JP/JP]; 〒6020022 京都府京都市上京区上立売通り烏丸西入ル上立売東町 4 3 マンションかつま 3 0 5 Kyoto (JP). 的場 伸次 (MATOBA, Shinji) [JP/JP]; 〒6300243 奈良県生駒市俵口町 1 2 2 3-2 ラウンドヒルズ 4 0 3 Nara (JP). 浅野 正通 (ASANO,

[続葉有]

(54) Title: DLL CIRCUIT

(54) 発明の名称: D L L 回路



F...EN DLL ENABLE SIGNAL  
G...C2 INTERNAL CLOCK  
H...ST BURST COMMENCEMENT SIGNAL  
100...CONTROL CIRCUIT  
I...C4 OPERATION CLOCK  
J...C5 REFERENCE CLOCK  
200...DUMMY DELAY  
K...C6 DELAYED CLOCK  
300...PHASE COMPARISON  
C...COMPARISON RESULT  
D...16-STAGE

401...DELAY CELL  
402...REGISTER  
E...1-STAGE  
501...DELAY CELL  
502...REGISTER  
L...C3 DLL CLOCK  
7...CLOCK DRIVER  
M...C3(B) DLL CLOCK  
a...PATH DURING INITIAL VALUE ESTABLISHING MODE  
b...PATH DURING LOCK MODE

(57) Abstract: A DLL circuit has a dummy delay (dummy delay circuit 200) corresponding to an internal clock delay relative to an external clock; a variable delay adding circuit including coarse (400) and fine (500) delay circuits for adjusting the delay amount by use of a delay amount adjustment signal; and a phase comparing circuit (300) that compares the phase of the internal clock with that of a delayed clock received via the variable delay circuit and dummy delay to output the delay amount adjustment signal to the variable delay adding circuit. In an initializing mode at the burst commencement, a first signal, which is set to a logic "1" for a period of the internal clock, is inputted to the variable delay adding circuit via the dummy delay, and the duration of the logic "1" of the first signal is determined by the variable delay adding circuit until the end of the period of the internal clock to establish, based on the duration, the delay amount of the coarse delay circuit, thereby performing an initial establishment of the delay amount of the variable delay adding circuit.

[続葉有]

WO 2005/083716 A1



Masamichi) [JP/JP]; 〒6608811 京都府京都市下京区中堂寺坊城町 1 0 サニーパーク小阪 7 0 5 Kyoto (JP).

(74) 代理人: 政木 良文 (MASAKI, Yoshifumi); 〒5410042 大阪府大阪市中心区今橋 4 丁目 3 番 6 号 淀屋橋 N A O ビル 7 F Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 本発明の D L L 回路は、外部クロックに対する内部クロック遅延に相当するダミー遅延 (ダミー遅延回路 2 0 0) と、遅延量調整信号により遅延量を調整するコース遅延回路 4 0 0 およびファイン遅延回路 5 0 0 を持つ可変遅延付加回路と、内部クロックと可変遅延回路及びダミー遅延を介して入力される遅延クロックとの位相を比較し、可変遅延付加回路に遅延量調整信号を出力する位相比較回路 3 0 0 とを有する。バースト開始時の初期化モードとして、内部クロックの 1 クロック周期の間、論理 “1” にセットされる第 1 の信号を、ダミー遅延を通して可変遅延付加回路に入力し、可変遅延付加回路により第 1 の信号の論理 “1” の継続時間を内部クロックの 1 クロック周期の終了まで検出し、継続時間を基にコース遅延回路の遅延量を設定することによって可変遅延付加回路の遅延量を初期設定する。

## 明 細 書

## DLL回路

## 技術分野

- [0001] 本発明は、半導体メモリ、例えば、フラッシュメモリにおいて有用なDLL (Delay Locked Loop) 回路に関する。

## 背景技術

- [0002] 近年、不揮発性メモリとして、フラッシュメモリの需要が急速に伸びている。その状況下において、読み出し速度の高速化も進んでおり、100MHzを超えるクロック周波数での動作も実用化する必要が迫られている。そのため、フラッシュメモリにおいても内部クロック遅延をキャンセルするための仕組みが必要不可欠になってきた。これまでに、フラッシュメモリを対象としたものではないが、様々なDLL (Delay Locked Loop) 回路が提供され、或いは、提案されている (例えば、特許文献1参照)。
- [0003] 特許文献1: 特開2001-326563号公報

## 発明の開示

## 発明が解決しようとする課題

- [0004] 以下、DLL回路の必要性について図17を参照しつつ説明する。図17はDLL回路の必要性を示す図である。

本発明のDLL回路(後述)では高速クロック(例えば、133MHz)でのバーストシンクロナス動作を目標としている。ところが、図17(a)に示すように外部クロック133MHz、周期 $T=7.5\text{ns}$ では、内部クロック遅延(約3〜4ns)と、DQバッファ遅延(約5ns)により、DQ出力のタイミングが遅くなり、仕様上のセットアップタイム(0.5ns)を確保することができない。

そこで、DLL回路を採用することにより、内部クロック遅延等をキャンセルし、外部クロックに対するDQ出力のセットアップタイムを確保する。このDLL回路では、図17(b)に示すように、チップ内部で遅延した内部クロックをさらに次の外部クロックまで遅らせることでクロックの内部遅延をキャンセルする。

- [0005] 内部クロックを次の外部クロックのエッジまで遅らせるためには、「周期 $T$ −内部クロッ

ク遅延」の遅延素子(DLL遅延)を用意すればよい。ただし、これでは周期Tが一定の場合しか使えない(内部クロック遅延+DLL遅延=クロック周期T)。そこで、さらに多様な周期に対応するためには、周期が大きくなるとDLL遅延を大きく、周期が小さくなると、DLL遅延を小さくする制御を行えばよい。そのために、クロック周期を判定する回路(位相比較回路)、位相比較回路の判定により遅延量を可変できる遅延回路(可変遅延付加回路)の、二つの回路を用意し、「内部クロック遅延+DLL遅延=クロックの1周期T」の状態を作り出す。

[0006] これを実現するための、従来からあるDLL回路について図18を参照しつつ説明する。図18はDLL回路の従来例を示す図である。

図18に示すDLL回路1000に与えられる内部クロック(内部CLK)は外部クロックに比べある程度タイミングが遅れて入力される(符号1001で示す内部クロック遅延 $\Delta t$ )。このままのクロックを使用すると、DQのタイミングは内部クロック遅延の分( $\Delta t$ )がそのまま遅れるため、外部でのセットアップが取れなくなる可能性がある。

[0007] そこで、DLL回路1000では遅れたクロックをさらに遅らせて外部クロックと同相にすることで内部クロック遅延をキャンセルする。DLL回路1000は内部クロック遅延に対し、多様な周期に対応するため、可変遅延付加回路1004を使用する。さらに内部クロックと同等のダミー遅延1002を付加した状態で、位相比較回路1003により、もとの内部クロックと位相比較し、同相(ダミー遅延+可変遅延=1周期)となるように可変遅延付加回路1004の遅延量を調整する。位相が同相となった時点で、ダミー遅延分( $\Delta t'$ )を引いたDLLクロックは内部遅延(=ダミー遅延)がキャンセルされており、外部クロックと同相になる。図19にタイミングチャートを示す。

[0008] 図19において、遅延クロックと内部クロックの位相が合うように可変遅延付加回路1004で遅延量を調節する(ダミー遅延+DLL遅延=1クロック周期)。位相が合った時点で、「ダミー遅延(内部クロック遅延相当)+DLL遅延=周期T」となり、遅延クロックからダミー遅延を引いたタイミングのDLLクロックは外部クロックと同相となる。

[0009] 上記DLL回路では、基本的に外部クロック周波数は未知であることから位相比較と補正を何度も繰り返し行う必要があるため、位相補正にかかる時間は数10〜数百サイクルが必要である。



[0010] しかし、現状のフラッシュメモリの仕様ではシンクロナス読み出し開始から数クロックでDQを出力する必要がある、上記DLL回路など従来のDLL回路ではその仕様を満たすことができないという問題がある。或いは、現状のフラッシュメモリの仕様を満たすために、スタンバイ時も外部クロックを入力し、常にDLL回路で位相補正を行う手法が考えられるが、これではいたずらに消費電力が増大してしまうという問題が発生する。

[0011] そこで、本発明は、スタンバイ時から数クロックで補正されたDLLクロックを発生させることができるDLL回路を提供することを目的とする。

#### 課題を解決するための手段

[0012] 請求項1に記載のDLL回路は、外部クロックに対する内部クロック遅延に相当するダミー遅延と、遅延量調整信号により遅延量を調整するコース遅延回路およびファイン遅延回路を持つ可変遅延付加回路と、内部クロックと前記可変遅延回路及びダミー遅延を介して入力される遅延クロックとの位相を比較し、前記可変遅延付加回路に遅延量調整信号を出力する位相比較回路とを有するDLL回路であって、バースト開始時の初期化モードとして、前記内部クロックの1クロック周期の間、論理“1”にセットされる第1の信号を、前記ダミー遅延を通して前記可変遅延付加回路に入力する手段と、前記可変遅延付加回路により前記ダミー遅延を通して入力された前記第1の信号の論理“1”の継続時間を前記内部クロックの1クロック周期の終了まで検出し、前記継続時間を基に当該可変遅延付加回路内のコース遅延回路の遅延量を設定することによって当該可変遅延付加回路の遅延量の初期値を設定する手段と、を備え、前記可変遅延付加回路における遅延量の初期設定後のロックモードとして、前記内部クロックを前記可変遅延付加回路内のコース遅延回路およびファイン遅延回路により遅延させると共に、前記位相比較回路により出力される遅延量調整信号により当該可変遅延付加回路内のコース遅延回路およびファイン遅延回路の遅延量を補正しつつ、1クロック周期遅れで前記外部クロックに同期する出力クロックを生成するクロック出力手段と、を備えることを特徴とする。

[0013] 請求項2に記載のDLL回路は、外部クロックに対する内部クロック遅延に相当するダミー遅延と、遅延量調整信号により遅延量を調整するコース遅延回路およびファイン

ン遅延回路を持つ可変遅延付加回路と、内部クロックと前記可変遅延回路及びダミー遅延を介して入力される遅延クロックとの位相を比較し、前記可変遅延付加回路に遅延量調整信号を出力する位相比較回路とを有するDLL回路であって、バースト開始時の初期化モードとして、前記内部クロックの1クロック周期の間、論理“1”にセットされる第1の信号を、前記ダミー遅延を通して前記可変遅延付加回路に入力する手段と、前記可変遅延付加回路により前記ダミー遅延を通して入力された前記第1の信号の論理“1”の継続時間を前記内部クロックの1クロック周期の終了まで検出し、前記継続時間を基に当該可変遅延付加回路内のコース遅延回路の遅延量を設定することによって当該可変遅延付加回路の遅延量の初期値を設定する手段と、を備え、前記可変遅延付加回路における遅延量の初期設定後のロックモードとして、前記内部クロックを前記可変遅延付加回路内のコース遅延回路およびファイン遅延回路により遅延させると共に、前記位相比較回路により出力される遅延量調整信号により当該可変遅延付加回路内のコース遅延回路およびファイン遅延回路の遅延量を補正しつつ、1クロック周期遅れで前記外部クロックに同期する出力クロックを生成するクロック出力手段と、を備え、前記コース遅延回路は、前記初期化モードにおける可変遅延付加回路および前記初期値の設定を記憶する手段として作動し、前記ロックモードにおいて粗い単位遅延量をもつ粗可変遅延付加回路として作動し、前記ファイン遅延回路は、前記ロックモード時において細かい単位遅延量を持つことにより前記コース遅延回路の単位遅延量を補完する遅延量を付加する細可変遅延付加回路として作動することを特徴とする。

[0014] 請求項3に記載のDLL回路は、前記ロックモードにおいて、前記位相比較回路の判定の結果、前記内部クロックに対して予め定めた閾値の遅延量を付加した前記遅延クロックの位相が、前記内部クロックより遅い場合、前記遅延クロックに前記可変遅延回路内のファイン遅延回路で遅延を付加させない手段を有することを特徴とする。

[0015] 請求項4に記載のDLL回路は、前記可変遅延付加回路を構成するコース遅延回路およびファイン遅延回路内の遅延素子をインバータ回路と電源電圧に対して該インバータ回路と逆特性を有する回路とにより構成することを特徴とする。

[0016] 請求項5に記載の可変付加遅延回路は、外部クロックに対する内部クロック遅延に

相当するダミー遅延と、遅延量調整信号により遅延量を調整するコース遅延回路およびファイン遅延回路を持つ可変遅延付加回路と、内部クロックと前記可変遅延回路およびダミー遅延を介して入力される遅延クロックとの位相を比較し、前記可変遅延付加回路に遅延量調整信号を出力するとともに、前記コース遅延回路および前記ファイン遅延回路から出力される遅延量設定信号により前記コース遅延回路および前記ファイン遅延回路が最小の遅延量設定であることを検知するための論理回路を備える位相比較回路とを有するDLL回路を構成する当該可変付加遅延回路であって、前記ファイン遅延回路内において、前記位相比較回路から出力されるファイン遅延回路をバイパスさせるための信号を記憶するレジスタと、前記レジスタの出力により、ファイン遅延回路内の遅延付与部をバイパスさせるための切り替え手段とを備え、前記コース遅延回路および前記ファイン遅延回路の両方が最小の遅延量設定であり、且つ、前記遅延クロックの位相が前記内部クロックより遅い場合はファイン遅延回路の遅延付与部をバイパスし、ファイン遅延回路での遅延を付加しないことを特徴とする。

### 発明の効果

[0017] 請求項1によれば、バースト開始時に、前記内部クロックの1クロック周期の間出力される第1の信号をダミー遅延を通して可変遅延付加回路に入力する。可変遅延付加回路では第1の信号の論理“1”の継続時間を1クロック周期が終わるまで計測し、この継続時間を基にコース遅延回路の遅延量を設定することにより可変遅延付加回路の遅延量を初期設定する。これにより、動作開始時においてきわめて短時間に位相の調整を行うことが可能になる。

[0018] 請求項2によれば、バースト開始時に、前記内部クロックの1クロック周期の間出力される第1の信号をダミー遅延を通して可変遅延付加回路に入力する。可変遅延付加回路では第1の信号の論理“1”の継続時間を1クロック周期が終わるまで計測し、この継続時間を基にコース遅延回路の遅延量を設定することにより可変遅延付加回路の遅延量を初期設定する。これにより、動作開始時においてきわめて短時間に位相の調整を行うことが可能になる。

また、ロックモードにおいては、ファイン遅延回路でコース遅延回路の単位遅延量

を補完するようになっているため、遅延量の調整幅を小さくすることが可能になっている。

[0019] 請求項3によれば、コース遅延回路の遅延量およびファイン遅延回路の遅延量とともに最小設定であるにもかかわらず、遅延クロックの位相が遅すぎる場合に対処可能になるという利点がある。つまり、可変遅延付加回路で付加可能な遅延量の範囲を大きくすることができるという利点がある。

[0020] 請求項4によれば、インバータ回路と電源電圧に対して該インバータと逆特性を有する回路とにより可変遅延回路の遅延素子を構成しているので、電源電圧の変動に対する遅延量の変化を抑えることが可能になる。

[0021] 請求項5によれば、コース遅延回路の遅延量およびファイン遅延回路の遅延量とともに最小設定であるにもかかわらず、遅延クロックの位相が遅すぎる場合に対処可能になるという利点がある。つまり、可変遅延付加回路で付加可能な遅延量の範囲を大きくすることができるという利点がある。

#### 図面の簡単な説明

[0022] [図1]本発明の実施の形態における半導体メモリの構成例(シンクロナス読み出し系)を示す図。

[図2]図1のDLL回路の構成の概略を示す構成概略図。

[図3]図2のDLL回路の動作を説明するためのタイミングチャート。

[図4]図2の制御回路の構成を示す回路図。

[図5]図2の制御回路の構成を示す回路図。

[図6]図4の立下りワンショットパルス回路の構成を示す回路図。

[図7]図2のダミー遅延回路の構成を示す回路図。

[図8]図7の微調整回路の構成を示す図。

[図9]図2の位相比較回路の構成を示す回路図。

[図10]図9の位相比較回路の1実施例を示す図。

[図11]図2のコース遅延回路の構成を示す回路図。

[図12]図11のコースディレイレジスタ回路の構成を示す回路図。

[図13]電圧に対する遅延時間の変動を低減するディレイセルの1実施例を示す図。



[図14]図2のファイン遅延回路の構成を示す回路図。

[図15]図14のファインディレイ回路の構成を示す回路図。

[図16]図14のファインレジスタ回路の構成を示す回路図。

[図17]DLL回路の必要性を説明するための図。

[図18]DLL回路の従来例を示す図。

[図19]図18のDLL回路の動作を説明するためのタイミングチャート。

### 符号の説明

- [0023]     6     DLL回路  
          100 制御回路  
          200 ダミー遅延回路  
          300 位相比較回路  
          400 コース遅延回路  
          500 ファイン遅延回路

### 発明を実施するための最良の形態

- [0024]     以下、本発明を実施するための最良の形態について図面を参照しつつ説明する。

#### 《半導体メモリ回路》

図1は、本発明の実施の形態におけるDLL回路を用いた半導体メモリの構成例(シンクロナス読み出し系)を示す図であり、フラッシュメモリの例を示したものである。なお、各信号の語尾の「#」は負論理“L”で有効になることを示している。

- [0025]     図1において、コマンドデコーダ／コマンドレジスタ1は、アドレスおよびDINをデコードしてコマンドを判定し、コマンド書き込み信号WRITE#により判定結果をレジスタに格納する。また、バーストモードの種類、クロックレイテンシ、DLLの使用／不使用を設定する。ユーザコマンド入力に基づくDLL有効信号(DLLの使用／不使用を表わす信号)V1は、バーストシンクロナス制御回路3、DLL回路6、DOUT用フリップフロップ(DOUT用F／F)13へ出力される。また、ユーザコマンド入力に基づく設定信号(バーストモードの種類、クロックレイテンシを示す信号)は、バーストナスシンクロナス制御回路3へ出力される。なお、アドレスはコマンド指定用アドレス、DINはコマンド指定用データである。

- [0026] クロック制御回路2は、チップイネーブル信号CE#とアドレス有効信号(入力されるアドレスが読み出し時の有効アドレスであることを示す信号)ADV#とに基づいてバースト開始信号(バースト読み出しを開始させるための信号)STを発生してバーストシンクロナス制御回路3とDLL回路6へ出力する。また、外部クロックC1から入力バッファを介して内部クロックC2を発生させ、バーストシンクロナス制御回路3とDLL回路6とクロックドライバ7へ供給する。
- [0027] バーストシンクロナス制御回路3は、バーストシンクロナス読み出し時に、読み出しアドレス(読み出し用のアドレス)の入力が行われ、また、バーストアドレスの生成、センスアンプの制御、センスデータラッチの制御、DLLイネーブル信号ENを発生させる。  
このDLLイネーブル信号ENは、バーストの開始やバーストの終了をDLL回路6に伝えるための信号である。
- [0028] アドレスデコーダ4は、バーストシンクロナス制御回路3からのバースト開始アドレス(バーストリードを開始するアドレス信号)をデコードし、メモリアレイ5に供給する。
- [0029] DLL回路6は、外部クロックC1とほぼ同相となるDLLクロックC3を生成し、クロックドライバ7へ供給する。なお、DLL回路6の詳細については後述する。
- [0030] クロックドライバ7は、DOUT用F/F13に、クロック制御回路2からの内部クロックC2およびDLL回路6からのDLLクロックC3をバッファして供給する。
- [0031] センスアンプ8は、バーストシンクロナス制御回路3からのアドレス遷移信号ATDによりセンスを開始する。
- [0032] バースト用データラッチ/データセクタ12は、フリップフロップ(F/F)10を介してバーストシンクロナス制御回路3からのバーストデータラッチ信号によりセンスアンプラッチ回路9を介してセンスアンプ8からの出力データをラッチする。また、フリップフロップ(F/F)11を介してバーストシンクロナス制御回路3からのバーストアドレス(バーストシンクロナス制御回路3で自動的に生成されるバーストシーケンス用アドレス)に従って、センスアンプ8により読み出されたデータをDOUT用F/F13へ送る。
- [0033] DOUT用F/F13は、DOUTバッファ14に出力する最終データをラッチする。  
また、DLLを使用する場合と使用しない場合での出力タイミングを調整する。

[0034] 次に、図1に示す半導体メモリのDLL回路不使用時とDLL回路使用時の夫々の動作の概略を説明する。ただし、シンクロナスバースト動作において、DLL回路を使用するか、使用しないかはユーザコマンドにより入力される。

[0035] <DLL回路不使用>

まず、DLL回路6を使用しない場合の動作について記載する。

クロック制御回路2においてチップイネーブル信号CE#またはアドレス有効信号ADV#の立下りエッジを検知し、双方の信号が有効になると、バースト開始信号STを出力する。バーストシンクロナス制御回路3はバースト開始信号STを受け、バーストアドレス、バーストデータラッチ信号を生成し、バースト読み出し動作を行う。このとき、DLL有効信号V1はディセーブルであるため、DLL回路6は動作しない。また、DOUT用F/F13においては、DLL有効信号V1がディセーブルであることを感知し、DLLクロックC3ではなく、内部クロックC2を使用して、バースト出力データをDOUTバッファ14に送る。

[0036] <DLL回路使用>

次に、DLL回路6を使用する場合の動作について記載する。

クロック制御回路2においてチップイネーブル信号CE#またはアドレス有効信号ADV#の立下りエッジを検知し、双方の信号が有効になると、バースト開始信号STを出力する。バーストシンクロナス制御回路3はバースト開始信号STを受け、バーストアドレス、バーストデータラッチ信号を生成し、バースト読み出し動作を行う。この際、バーストシンクロナス制御回路3は、コマンドデコーダ/コマンドレジスタ1からの設定信号が示すユーザーによって設定されたクロックレイテンシより1クロック少ないレイテンシを自動的に設定する(クロックレイテンシ自動補正)。

同時にバーストシンクロナス制御回路3はDLL有効信号V1がイネーブルであることを感知し、DLLイネーブル信号ENをDLL回路6に出力する。DLL回路6ではDLL有効信号V1、バースト開始信号ST、およびDLLイネーブル信号ENを感知し、DLL動作を開始し、外部クロックC1とほぼ同相に補正されたDLLクロックC3をDOUT用F/F13へ供給する。DOUT用F/F13においては、DLL有効信号V1がイネーブルであることを感知し、内部クロックC2ではなく、DLLクロックC3を使用して、バー

スト出力データをDOOUTバッファ14に出力する。

[0037] 所定のバーストシーケンスが終了すると、バーストシンクロナス制御回路3はDLLイネーブル信号ENをディセーブルにし、これを受けたDLL回路6はDLL動作を終了する。

[0038] 上述した図1の半導体メモリにおいてDLL使用とDLL不使用の切り替え機能を設けたのは次の理由による。DLLの基本的な動作は外部クロックC1に対して遅延を持つ内部クロックC2を、外部クロックC1の次のエッジまで遅らせることである(同相にする)。その場合、クロック周波数が低くなると、内部クロックC2に与える遅延量が大きくなり、内部で用意する遅延素子の増大を招くことになる(チップ面積増大)。そのため、内部クロックC2の遅延の影響が少ない、低周波数時はDLLを使用せず、内部クロックC2の遅延の影響が無視できない高周波数時にDLLを使用するようにユーザコマンドで選択できるようにするためである。例えば、100MHzを基準として、100MHz以下では、内部クロックの遅延の影響が少ないので、DLL回路6を作動させず、100MHz以上でDLL回路6を作動させる機能(リードコンフィギュレーション機能)を使用するかどうかをユーザーが設定できるようにするためである。

[0039] また、クロックレイテンシ自動補正機能を設けたのは次の理由による。DLLクロックC3は内部クロックC2に対してさらに遅延が与えられたものであるため、DOOUT用F/F13において、バースト出力データのタイミングを調整すると、DLL回路6を使用しない場合に比べて、1クロック分のレイテンシが発生する。そのため、DLL使用時は、バースシンクロナス制御回路3において、内部の動作レイテンシをユーザー設定より1クロック小さくしてDOOUT用F/F13での1クロック分の遅延をキャンセルし、外部から見た場合のレイテンシをユーザー設定と等しくすることができるようにするためである。

[0040] 《DLL回路の構成》

以下、図1のDLL回路の詳細について図面を参照しつつ説明する。

まず、本実施の形態のDLL回路の構成及び動作の概略について図2及び図3を参照しつつ説明する。図2はDLL回路の構成の概略を示す構成概略図であり、図3は図2のDLL回路の動作を説明するためのタイミングチャートである。なお、DLL回



路の各構成要素の詳細については他の図を用いて後述する。

[0041] 制御回路100は、DLL動作のクロック生成(Timing generator)、モード切替、スタンバイ、リセット等の制御を行う。

ダミー遅延回路200は、クロックの内部遅延量( $\Delta t$ )に相当する遅延を生じさせる遅延回路である。

位相比較回路300は、2つのクロック(制御回路100からの基準クロックC5、ダミー遅延回路200からの遅延クロックC6)の位相比較を行い、コース遅延回路400に信号COAPLUSや信号COAMINUSを出力し、ファイン遅延回路500に信号FINE PLUSや信号FINEMINUSや信号EXTRAMINUS(ファイン遅延回路500をバイパスさせるための信号)を出力する。

[0042] コース遅延回路400は、コースディレイセル401とコースレジスタ402が一体となったコースディレイレジスタ部がn個(本実施の形態では16個)直列に接続されてなり、遅延量の粗補正(例えば、1ns)を行う。ここで、nはクロック周波数、クロックC2の遅延などにより決められる値であり、本件明細書では、適宜、「段数」と呼ぶ。

ファイン遅延回路500は、ファインディレイセル501とn個のファインレジスタ502の直列接続部の対などにより構成されてなり、遅延量の補正(例えば、0.5ns)を行う。

なお、コース遅延回路400の単位遅延量(例えば、1ns)より、ファイン遅延回路の単位遅延量(例えば、0.5ns)は大きい。

クロックドライバ7は、DLLクロックC3(B)を出力する。

[0043] 《DLL回路の動作》

以下、図2のDLL回路の動作を順に説明する。

[0044] <初期化モード>

まず、DLL回路の回路リセットおよび動作回路(初期化モード)における動作を説明する。

[0045] 図1のクロック制御回路2にてチップイネーブル信号CE #またはアドレス有効信号ADV #の立下りエッジの検知を行ってその双方が有効になって出力されるバースト開始信号STがDLL回路6の制御回路100に入力される。これにより、DLL回路6内部のフリップフロップやレジスタ等で構成される順序回路がリセットされる。リセット後、

内部クロックC2の1つ目の立下りエッジに同期して動作クロックCFが制御回路100からダミー遅延回路200へ出力される。この動作クロックCFがダミー遅延回路200を通過して動作クロックC4となって、コース遅延回路400に入力される(動作A101)。この経路を図2の点線aで示す。

ただし、動作クロックCFは周期性のあるクロックではなくて、内部クロックC2の立下りエッジでRSフリップフロップがセットされた出力である“H”レベルの信号である。

また、一般的に論理回路においては、アクティブな論理を“H”レベル、“L”レベルのいずれに設定しても同じ回路動作を実現することができる。従って、本実施例においても動作クロックCFの論理値を“L”として回路を実現することもできる。

- [0046] 他方、制御回路100にて、内部クロックC2の2つ目の立下りエッジに同期して書き込み信号WTが“H”レベルになる。その後、内部クロックの3つ目の立上りエッジに同期して書き込み信号WTが“L”レベルになり、半クロック幅の同期パルスとなって、コース遅延回路400に出力される(動作A102)。
- [0047] 制御回路100にて、上記のRSフリップフロップが書き込み信号WTの“H”レベルでリセットされて動作クロックCFが“L”レベルになり、これによりダミー遅延回路200から出力される動作クロックC4も“L”レベルになる(動作A103)。
- [0048] コース遅延回路400にて、各コースディレイセル401に含まれているクロックドインバータを書き込み信号WTの“H”レベルでディセーブルとし、動作クロックC4の出力を止める(動作A104)。これは、動作クロックCFが“H”レベルになってから書き込み信号WTを“H”レベルにするまでの1クロックの間のみ動作クロックC4を伝達させるためである。
- [0049] コース遅延回路400の各段のコースレジスタ402は自身の対であるコースディレイセル401の論理(“H”レベル、“L”レベル)を参照して、書き込み信号WTの“H”レベルによりクロックドインバータがディセーブルとなった時点でどの段まで動作クロックC4が到達したかを判定する。そして、書き込み信号WTが“L”レベルになると、各段のコースレジスタ402は判定結果を書き込む。ただし、クロックドインバータがディセーブルとなり、動作クロックC4がとまった時点で動作クロックC4が到達したコースディレイセル401の対になるコースレジスタ402(動作クロックC4が到達しているコースディ

レイセル401のうち一番後ろのコースディレイセル401の対になるコースレジスタ402)のみ“H”が書き込まれる(動作A105)。

[0050] これにより初期化モードが終了する。以上の動作により、「ダミー遅延回路200によるダミー遅延+コース遅延回路400によるコース遅延=外部クロックの1周期」の設定が完了する。なお、この時点ではまだDLLクロックC3は出力されていない。

また、DQバッファの能力が低くDQバッファでの遅延が大きくなった場合や、使用周波数が高くなった場合(相対的に内部クロック遅延、DQ遅延が遅くなったのと同じ)に、内部クロック遅延をキャンセルするだけでは外部クロックとDQ出力の同期が取れない場合(セットアップ時間が取れない場合)は「ダミー遅延回路200によるダミー遅延+コース遅延回路400によるコース遅延+DQバッファ遅延に相当するダミー遅延=外部クロックの2周期」を判定できるように回路を構成することにより、DQバッファの遅延分もキャンセルすることができる。本発明ではこの実施例は示されていないが、本発明の実施例に若干の論理回路を追加することにより、容易に実現可能である。

[0051] なお、上記の初期化モードの説明から分かるように、初期化モードにおいて、コース遅延回路400は、初期化モードにおける可変遅延付加回路として作動する(この初期化モードではファイン遅延回路500は可変遅延付加回路として作動していない。)とともに、遅延量の初期値を記憶する手段として作動している。

[0052] <ロックモード(初期クロック出力)>

次に、DLL回路のロックモード(初期クロック出力)における動作を説明する。

[0053] 上記動作A105で書き込み信号WTが“L”レベルとなりコースレジスタ402の書き込みが終了した半クロック後、制御回路100にて内部クロックC2の3つ目の立下りエッジに同期してロックモード信号Mが“H”レベルになる。このロックモード信号Mが“H”レベルとなったのを受けて制御回路100は動作クロックC4の経路を図2の実線bで示す経路へと切り替える(動作A201)。

[0054] 制御回路100にて、上記動作A201の半クロック後、即ち、内部クロックの4つ目以降の立上りエッジに同期したワンショットパルスを毎クロック発生させ、このパルス信号を動作クロックC4としてコース遅延回路400の各コースレジスタ402に出力する(動作A202)。なお、内部クロックC2を使用せずにワンショットとするのは、動作クロックC

4の“L”レベルの期間でコース遅延回路400およびファイン遅延回路500の段数を切り替える構成上、内部クロックC2のデューティ比を変化させ、動作クロックC4の“L”レベルの期間を長く取って、切り替え時のタイミングに余裕を持たせるためである。

[0055] 上記動作A202で発生した動作クロックC4はコース遅延回路400のコースディレイセル401およびファイン遅延回路500のファインディレイセル501を通過してDLLクロックC3となる。DLLクロックC3はクロックドライバ7を通過してDLLクロックC3(B)となる(動作A203)。なお、スタート時のリセット動作によってファイン遅延回路500の設定は0段となっており、未調整のままであるが、初期化モードの説明に記載したように、コース遅延回路400のコースディレイセル401の精度では補正されている。なお、これは実用可能な精度である。

[0056] このロックモード(初期クロック出力)の動作により、内部クロックC2の4クロック目から内部クロックC2の立上りエッジに同期したDLLクロックC3を発生させることができる。つまり、外部クロックC1の5クロック目と初期クロックが同相のDLLクロックC3を発生させることができる。

[0057] <ロックモード(ロックオン動作)>

さらに、DLL回路のロックモード(ロックオン動作)における動作を説明する。

[0058] 上記動作A201において、ロックモード信号Mが“H”レベルになった1クロック後、内部クロックC2の4つ目の立下りエッジから制御回路100において3クロックに1回の割合で基準クロックイネーブル信号RCENが出力される。この基準クロックイネーブル信号RCENと内部クロックC2との論理積(AND)をとった信号を基準クロックC5とし、位相比較回路300へ出力する(動作A301)。即ち、基準クロックC5は、内部クロックC2の5つ目の立上りエッジから3クロックに1回の割合で出力される。

なお、3クロックに1回の割合とするのは、動作周波数が高くなると位相比較、コース遅延回路400およびファイン遅延回路500の段数調整の一連の動作が1サイクル内に完了しない可能性があることを考慮したものである。

[0059] 位相比較回路300にて、基準クロックC5に対し、遅延クロックC6の位相が遅いか速いかを判定する。つまり、DLL回路の基本的なロック条件である「可変遅延(コース遅延とファイン遅延) + ダミー遅延 = 1周期」であるかを判定する(動作A302)。ただ



し、遅延クロックC6は、動作クロックC4がコース遅延回路400のコースディレイセル401、ファイン遅延回路500のファインディレイセル501およびダミー遅延回路200を順に通過して遅延が与えられた信号である。

ロックモードに移行してから最初の動作クロックC4は内部クロックC2の4つ目の立上りエッジから出力が開始される(上記動作A202参照)。この動作クロックC4がコース遅延回路400のコースディレイセル401、ファイン遅延回路500のファインディレイセル501およびダミー遅延回路200を順に通った後の遅延クロックC6はほぼ1周期遅れの信号となる。これは、初期化モードにおいてコース遅延回路400の精度で遅延の設定が完了しているからである。

これに対し、基準クロックC5は内部クロックC2の5クロック目で出力される。

したがって、位相比較回路300ではDLL回路の基本的なロック条件である「可変遅延(コース遅延とファイン遅延) + ダミー遅延 = 1周期」であるかを判定していることになる。

また、DQバッファの能力が低くDQバッファでの遅延が大きくなった場合や、使用周波数が高くなった場合(相対的に内部クロック遅延、DQ遅延が遅くなったのと同じ)に、内部クロック遅延をキャンセルするだけでは外部クロックとDQ出力の同期が取れない場合(セットアップ時間が取れない場合)は「可変遅延(コース遅延とファイン遅延) + ダミー遅延 + DQバッファ遅延に相当するダミー遅延 = 2周期」を判定できるように回路を構成することにより、DQバッファの遅延分もキャンセルすることができる。本発明ではこの実施例は示されていないが、本発明の実施例に若干の論理回路を追加することにより、容易に実現可能である。

[0060] 位相回路300は上記動作A302の判定結果に基づいて信号(信号COAPLUS、信号COAMINUS、信号FINEPLUS、信号FINEMINUS、信号EXTRAMINUS)を出力する(動作A303)。

[0061] コース遅延回路400およびファイン遅延回路500では位相比較回路300の出力信号(信号COAPLUS、信号COAMINUS、信号FINEPLUS、信号FINEMINUS)を受けて段数の調整が行われ、あるいは、ファイン遅延回路500では位相比較回路300の出力信号(信号EXTRAMINUS)を受けてファインディレイセル501をバイパ

スさせる動作を行う(動作A304)。このバイパスさせる動作は、コース遅延回路400の段数およびファイン遅延回路500の段数がともに0段(最小設定)であるにもかかわらず、遅延クロックC6の位相が遅すぎる場合に対処可能とするものである。つまり、内部クロックC2に対し予め定められた閾値(コース遅延回路400の段数およびファイン遅延回路500の段数を最小設定にした場合にそれらにより付加される遅延量およびダミー遅延回路200により付与される遅延量の総和)を付与した遅延クロックC6の位相が基準クロックC5より遅い場合、ファイン遅延回路500内の遅延付与部(図15参照)をバイパスさせることによってファイン遅延回路500で遅延を付与しないようにするものである。

[0062] コース遅延回路400およびファイン遅延回路500では、位相比較回路300から出力信号が何も出力されていない場合には「可変遅延+ダミー遅延=1周期」が成立しており、コース遅延回路400およびファイン遅延回路500は動作しない(ロックオン状態)(動作A305)。

[0063] ロックオンが成立した後も位相比較は3クロックに1回の割合で実行され、クロック周期の変動及び電源電圧の変動や環境温度の変動による遅延値の変動に対し、その都度コース遅延回路400とファイン遅延回路500は段数の増減を行って位相を補正する(動作A306)。

[0064] なお、上記のロックモード(初期クロック出力、ロックオン動作)の説明、およびコース遅延回路400の単位遅延量がファイン遅延回路500の単位遅延量より大きいという上述の記載から分かるように、ロックモードにおいて、コース遅延回路400は、粗い単位遅延量を持つ粗可変遅延付加回路として作動し、ファイン遅延回路500は細かい遅延量を持つことによりコース遅延回路400の単位遅延量を補間する遅延量を付加する細可変遅延付加回路として作動している。

[0065] <バースト終了動作>

さらに、DLL回路のバースト終了における動作を説明する。

[0066] DLL回路6はDLLイネーブル信号ENの立下りエッジを受けてDLL動作を終了する(動作A401)。バーストシンクロナス読み出し全体の動作はいわゆるパイプライン処理を行っている仕様上、バーストシンクロナス制御回路3からDLLイネーブル信号

ENの“L”レベル(バースト終了)を受けてから、2サイクルの間はDLLクロックC3を出力する必要がある。そのため、制御回路100内にシフトレジスタを設けて2クロック分のタイミングを計っている。

[0067] DLLイネーブル信号ENはバースト開始時に“H”レベルでDLL回路6に入力されるが、DLL回路6内の順序回路(シーケンス回路)はこの“H”レベルを使用せず、バーストシーケンス終了の条件として使用するだけである。バースト開始はバースト開始信号STにより行われる。

[0068] 以下、DLL回路の各部について図面を参照しつつ説明する。

[0069] <制御回路>

制御回路の動作について図4から図6を参照しつつ説明する。図4および図5は図2の制御回路の構成を示す回路図であり、図6は図4の立下りワンショットパルス回路の構成を示す回路図である。

[0070] <リセット動作>

まず、制御回路のリセット動作を説明する。ただし、上述したように、バースト開始信号STは、図1のクロック制御回路2に入力されるチップイネーブル信号CE#またはアドレス有効信号ADV#の立下りエッジで“H”レベルとなり、内部クロックC2の1つ目の立上りエッジで“L”レベルとなるパルスである(図3参照)。

[0071] クロック制御回路2からバースト開始信号STがNAND回路101を介してフリップフロップ111〜117に供給され、フリップフロップ111〜117をリセットする(動作B101)。同時にNOR回路152を介して他の回路(位相比較回路300、コース遅延回路400、ファイン遅延回路500)にリセット信号RSTを出力する(動作B102)。NAND回路101の使用目的はバースト開始信号STがチップ上で大きな遅延を持たされてDLL回路6に供給された場合、リセット解除(バースト開始信号が“L”レベルになる)のタイミングが遅れて、内部動作開始が遅くなることを防ぐため、内部クロックC2の1つ目の立上りで(“H”レベル)バースト開始信号STを強制的に“L”レベルにするためである。

[0072] <クロックイネーブル動作>

次に、制御回路のクロックイネーブル動作を説明する。

上記リセット動作後、フリップフロップ115の出力の反転信号(信号S101)は“H”レベルになっている。その後クロックC2の1つ目の“H”レベルでハーフラッチ141の出力(信号S102)は“H”レベルになる(動作B201)。

[0073] NAND回路102には信号S102とロックモード信号Mの反転信号が入力され、フリップフロップ121の出力であるロックモード信号Mはリセット直後“L”レベルで、その反転信号は“H”レベルである。したがって、リセット後内部クロックC2の1つ目の“H”レベルで初期化モードのクロックイネーブル信号EN1は“H”レベルとなる(初期化モード開始)(動作B202)。

[0074] その後、ロックモード信号Mが“H”レベルとなると(図3参照)、クロックイネーブル信号EN1が“L”レベル(ディセーブル)になると同時にNAND回路103を介してロックモードのクロックイネーブル信号EN2は“H”レベルとなる(ロックモード開始)(動作B203)。

[0075] NAND回路104によりフリップフロップ111～113はバースト開始信号STによるリセット後も、ロックモード信号Mが“L”(初期化モード)の期間は継続してリセット状態にある。ロックモード信号Mが“H”レベルになり、ロックモードになるとフリップフロップ111～113のリセット状態は解除され、内部クロックC2の立下りに同期して動作を開始し、内部クロックC2の3クロックに対して1回の割合で基準クロックイネーブル信号RCENを発生させる(動作B204)。

[0076] <初期化モード>

さらに、制御回路の初期化モードにおける動作を説明する。

上記動作B202でクロックイネーブル信号EN1が“H”レベルとなり、さらに内部クロックC2が“L”レベルになることにより、RSラッチ161をセットし、その出力は“H”レベルになる。この“H”レベルのクロックがオフセット調整ディレイ171およびダミー遅延200を通り、クロック出力セクタ172を介して動作クロックC4となる(動作B301)。オフセット調整ディレイ171を設けたのは次の理由による。初期化モードではコース遅延回路400のみで可変遅延の値を決定するのに対して、ロックモードではコース遅延回路400およびファイン遅延回路500の双方を可変遅延の値を決定している。そのため、初期化モードではオフセット調整ディレイ171を通すことによって、初期化モー



ドにおけるコース遅延回路400のみで決定された可変遅延の値と、ロックモードにおけるコース遅延回路400およびファイン遅延回路500の双方によって決定された可変遅延の値と、の差をキャンセルすることができるようにしたものである。

また、一般的に論理回路においては、アクティブな論理を“H”レベル、“L”レベルのいずれに設定しても同じ回路動作を実現することができる。従って、本実施例においても動作クロックC4の論理値を“L”として回路を実現することもできる。

[0077] RSラッチ161は、セットから1クロック後に、フリップフロップ119の出力(信号S103)により、リセットされる(動作B302)。即ち、初期化モードにおいては、動作クロックC4は1周期幅のパルスとなる。

これと同時に1クロック幅の書き込み信号WTがコース遅延回路400へ出力される(動作B303)。なお、この書き込み信号WTの立上りでコース遅延回路400の段数が決定され、書き込み信号WTの立下りでその判定結果がコース遅延回路400のコースレジスタ402に書き込む。

[0078] <ロックモード>

さらに、制御回路のロックモードにおける動作を説明する。

初期化モードが書き込み信号WTで終了し、その半クロック後にロックモード信号Mが“H”レベルになることでロックモードに移行する。ロックモード信号Mが“H”レベルとなることによって、ワンショットパルス発生回路173の出力がクロック出力セクタ172を介して動作クロックC4になる(動作B401)。

[0079] <BIAS ON動作>

さらに、制御回路のBIAS ONにおける動作を説明する。コース遅延回路400およびファイン遅延回路500において、電源電圧による遅延値の変動を緩和させるための回路を採用している。そのためにトランジスタにBIASを与えるための回路も設けている。この回路は動作時VCCからVSSにかけてDC電流を発生するため、無駄な電流消費を防ぐために、DLL動作時のみONにする必要がある。そのため制御回路内にBIAS発生のためのシーケンス回路を設けている。

[0080] 信号111が“H”レベルになると、接点BIASF3が速やかに“H”レベルとなるため、接点BIASONの信号S112も速やかに“H”レベルとなり、バイアス発生回路をONに

する(動作B501)。

- [0081] 信号111が“L”レベルになると、接点BIASF3は“L”レベルとなるが、フリップフロップ114〜117で構成されるシフトレジスタの働きで、その後、内部クロックC2の3クロックの間は接点BIASF1, BIASF2は共に“H”レベルとなり、接点BIASONの信号S112も内部クロックC2の3クロックの間は“H”レベルを出力する(動作B502)。すなわち、接点BIASONの信号S112は信号S111の立上りで“H”レベルとなり、立下りの3クロック後に“L”レベルになる。立下り後3クロックの間“H”レベルに保持するのは、DLLの仕様上信号S111の立下り後も動作クロックC4を2回出力する必要があるから、1回分余裕を持たせたものである。

- [0082] <バースト終了>

さらに、制御回路のバースト終了の動作について説明する。

信号S111が“L”レベルになると、フリップフロップ114のクロック入力は“H”レベルとなり、フリップフロップ114の出力が“H”レベル(フリップフロップ115の入力が“H”レベル)となる(動作B601)。ディレイ131とNAND回路105は何らかの要因で信号S111に“L”レベルのノイズ(ひげ)が発生した場合にそのノイズをマスクして不用意にDLL回路が止まるのを防ぐ。

- [0083] フリップフロップ115の入力が“H”となった次の内部クロックC2の立ち上がりでフリップフロップ115の出力が“H”レベルとなって、インバータで反転されて信号S101は“L”レベルとなる(動作B602)。内部クロックC2が“H”レベルの期間であるので、ハーフラッチ141を介して信号S102が“L”レベルになり、クロックイネーブル信号EN2が“L”レベルとなり、動作クロックC4の出力が停止する(動作B603)。すなわち、信号S111が立下がってからここまでの動作は2サイクルとなり、信号S111の立下りから2クロック分は動作クロックC4を出力し、その後動作クロックC4の出力は停止する。

- [0084] さらに、フリップフロップ116, 117により2サイクルのタイミングをとり、フリップフロップ117の出力が“H”レベルとなり、NOR回路152を介してフリップフロップ111〜113をリセット状態にし、これと同時にリセット信号RSTが“H”レベルとなって、DLL内部のフリップフロップF118〜121、ダミー遅延回路200、位相比較回路300、コース遅延回路400およびファイン遅延回路500をリセットする(動作B604)。

[0085] <立下りワンショットパルス発生動作>

さらに、図6の制御回路の立下りワンショット回路の立下りワンショットパルス発生動作を説明する。コース遅延回路400には初期化モード時にクロックC4がどの段まで到達するかを判定するためのラッチ(クロックドインバータで構成)を内蔵しており、この初期化モード終了時にはラッチをリセットする必要がある。

[0086] 書き込み信号WTが入力端子T101に入力され、書き込み信号WTが立ち下がると、入力端子T101の入力が立ち下がり、出力端子T103に“L”レベルのワンショットパルスが発生し、このパルスが信号S121となる(動作B701)。また、DLL開始時および終了時のリセット信号RSTの反転信号RSTBが入力され、この反転信号が“L”レベルのとき出力端子T103の出力が“L”レベルとなる(動作B702)。

[0087] <ダミー遅延回路>

次に、ダミー遅延回路の構成および動作について図7および図8を参照しつつ説明する。図7は図2のダミー遅延回路の構成を示す回路図であり、図8は図7の微調整回路の構成を示す図である。

[0088] リセット信号RSTまたは書き込み信号WTが“H”になると、ダミー遅延リセット信号が“L”となり、ディレイ回路202及び微調整回路203のクロック経路をリセットする。リセット信号RSTはバースト開始時およびバースト終了時の内部回路リセット信号である。

書き込み信号WTが“H”になるのは初期化モード時にコース遅延回路400の段数が決定された時であり、後のロックモード動作のために一度クロック経路をリセットするものである。

[0089] セレクタ201はロックモード信号が“L”レベルの時(初期化モード時)、図2の制御回路100から供給される動作クロックCFをディレイ回路202へ供給する。また、ロックモード信号が“H”レベルの時(ロックモード時)、図2のファイン遅延回路500から入力されるDLLクロックC3をディレイ回路202へ供給する。

ディレイ回路202は、4個1組のインバータチェーンを複数段使用して構成されており、クロックC200を出力する。

[0090] 微調整回路203は微調整回路203への入力(“H”または“L”の信号S201, S202

、S203)に基づき遅延量を調節する。この回路例が図8であり、NAND回路221〜228のいずれか1つのみ全ての入力が“H”レベルとなって出力が“L”レベルとなり、インバータで反転されて“H”レベルとなる。クロックドインバータ211〜218のうち全ての入力が“H”レベルのNAND回路と対のクロックドインバータのみが開く。クロックC200は遅延付与部(0から7)と開いたクロックドインバータを通してクロックC201となってセクタ204へ出力される。したがって、微調整回路203ではクロックが入力から出力までに通る遅延付与部の数を0から7に切り替えることが可能な構成となっている。

微調整回路への入力S201、S202、S203は、同一チップ内に用意される記憶手段から出力される信号であって、記憶手段として例えば不揮発性のメモリセルを使用すれば、出荷時に外部から値を書き込むことで微調整することができ、例えばSRAMなどの揮発性のメモリセルやフリップフロップ等で構成されるレジスタを使用すれば、使用時に外部から値を書き込むことにより、微調整することが可能になる。

[0091] セクタ204はロックモード信号が“L”レベルの時(初期化モード時)、入力をコース遅延回路400へ供給する。また、ロックモード信号が“H”レベルの時(ロックモード時)、入力を位相調整回路300へ出力する。

[0092] <位相比較回路>

次に、位相比較回路の動作について図9および図10を参照しつつ説明する。図9は図2の位相比較回路の構成を示す回路図であり、図10は図9の位相比較回路の1実施例を示す図である。なお、図9のリセット信号RSTはフリップフロップ308〜312のラッチに入力されるものであるが、図9においては省略している。

[0093] 位相比較回路300は基準クロックC5と遅延クロックC6の位相を比較する。遅延クロックC6は内部クロックC2がコース遅延回路400、ファイン遅延回路500およびダミー遅延回路を通過した後のクロックであるので基準クロックC5と遅延クロックC6の位相比較を行うことは、DLL回路6のロックオン条件である「ダミー遅延+可変遅延(コース遅延とファイン遅延)=1周期」の判定を行うことである。基準クロックC5は制御回路100から内部クロックC2の3クロックに1回の割合で出力される信号である。

[0094] リセット信号RSTにより、ラッチ回路308〜312、RSフリップフロップ回路302及び



RSフリップフロップ回路318がリセットされる。

比較対象である遅延クロックC6はNAND回路301を介してRSフリップフロップ302に入力される。NAND回路301の他方の入力基準クロックイネーブル信号RCENが入力される(動作C101)。このNAND回路301の役割は、内部クロックC2の3クロックに1回のみ位相比較を行うためであり、その他のクロックでは遅延クロックC6の入力を禁止することである。

- [0095] 基準クロックイネーブル信号RCENがイネーブル(“H”レベル)の時、遅延クロックC6がRSフリップフロップ302に入力され、RSフリップフロップ302の出力(信号S301)は“H”レベルとなる(動作C102)。

ここで、RSフリップフロップ302を使用する目的は、遅延クロックC6の元となる動作クロックC4は制御回路100内のAND回路173で発生されたワンショットパルスであるため“H”レベルの期間が短くなっている。このため、位相比較を行う際に誤判定を防ぐために“H”レベルの期間を補うためである。

- [0096] このRSフリップフロップ302は基準クロックイネーブル信号RCENが“L”レベルとなることでリセットされて信号S301は“L”レベルとなる(動作C103)。
- [0097] 基準クロックC5が“L”レベルの間(基準クロックC5の立上りエッジが到達していない)はラッチ回路303〜306は開放の状態でRSフリップフロップ302の出力(信号S301)の“H”レベルが順次伝達される(動作C104)。
- [0098] 基準クロックC5が“H”レベルになると、ラッチ回路303〜306が閉じられ(ラッチ)、その時点でRSフリップフロップ302の出力の伝達が止まる(動作C105)。
- [0099] 各ラッチ回路303〜306の接点N303〜306の値(信号S303〜S306)が位相判定回路307に入力される(動作C106)。なお、夫々の接点の信号が持つ意味は次のとおりである。「S303=1」はコース遅延回路400が1段分以上遅い。「S304=0」はファイン遅延回路500が約1段分遅い。「S305=0」はファイン遅延回路500が約1段分速い。「S306=1」はコース遅延回路400が1段分以上速い。
- [0100] 位相判定回路307は一般的な組み合わせ論理回路で構成されており(図10参照)、ラッチ回路303〜306の各出力(信号S303〜S306)、コース遅延回路400からの信号COASEL0、COASEL15、およびファイン遅延回路からの信号FINEREG0、

EXMINREGとの組み合わせにより、コース遅延回路400を制御する元となる信号CPLUSF, CMINUSF、およびファイン遅延回路500を制御する元となる信号FPLUSF, FMINUSF, EXMINUSFを出力する(動作C107)。なお、位相判定回路(組み合わせ論理回路)307がコース遅延回路400およびファイン遅延回路500から出力される遅延量設定信号により両遅延回路400, 500共に最小の遅延量設定(ともに段数が0段)であることを検知する論理回路として機能する。

[0101] この位相判定回路(組み合わせ回路)の論理(各出力信号がアクティブ“1”になる条件)を示す。

信号CPLUSF(コース遅延回路400の段数プラス)に関しては次の通りである。基準クロックC5が接点N306まで到達し(信号S306=1)かつ信号COASEL15が0(コース遅延回路400の段数が15でない)の場合、信号FINEREGが1で信号FPLUSFが1となった場合(ファイン遅延回路500からの桁あげ)である。

信号CMINUSF(コース遅延回路400の段数マイナス)に関しては次の通りである。基準クロックC5が接点N303まで到達していない(信号S303=1)かつ信号COASEL0が0(コース遅延回路400の段数が0でない)の場合、信号FINEREGが0で信号FMINUSが1となった場合(ファイン遅延回路500からの桁さげ)である。

[0102] 信号FPULSF(ファイン遅延回路500の段数プラス)に関しては次の通りである。基準クロックC5が接点N305まで到達し(信号S305=0)接点N306まで到達していない(信号S306=0)場合であって、信号FINEREG0が0または信号COASEL15が0(桁上げする必要がないか、コース遅延回路の桁上げ可能)、さらに信号EXMINREGが0のときである。

信号FMINUSF(ファイン遅延回路500の段数マイナス)に関しては次の通りである。基準クロックC5が接点N303まで到達し(信号S303=0)接点N304まで到達していない(信号S304=0)場合であって、信号FINEREG0が1または信号COASEL0が0のとき(桁下げする必要はないか、コース遅延回路400の桁下げ可能)である。

信号EXMINUSFに関しては次の通りである。信号COASEL0が1かつ信号FINEREGが0(コース遅延回路およびファイン遅延回路の双方が0段)で基準クロックC

5が接点N304まで到達していない(信号S304=0)の場合である。1度信号EXMINREGが1になると、接点N305まで到達して(信号S305=0)接点N306まで到達していない(信号S306=0)条件が成立するまでその値を保持する。

これはファイン遅延回路500の1段分速いことを表わしている。

- [0103] なお、基準クロックC5が接点N304まで到達し(信号S304=1)接点N305まで到達していない(信号S305=1)場合、上記のいずれも満たさず、ロック状態を表し、基準クロックC5と遅延クロックC6の位相があっており、位相判定回路307は出力を行わない。
- [0104] 位相判定回路307は組み合わせ回路であることから、コース遅延回路400およびファイン遅延回路500の制御を行うための最終出力のタイミングを計る必要がある。このため、位相判定回路307の出力が後段のラッチ回路308〜312に入力される(動作C108)。各ラッチ回路308〜312は基準クロックC5に遅延を与えた信号S307が“H”レベルのときに位相判定回路307の出力を取り込む(動作C109)。つまり、基準クロックC5の“H”レベルで位相比較用のラッチ回路303〜306が閉じられた後にラッチ回路308〜312は位相判定回路307の位相判定結果を取り込む。
- [0105] その後、基準クロックC5が“L”レベルになって、遅延が付与された信号S307が“L”レベルになると、ラッチ回路308〜312が閉じる(位相判定結果をラッチ)(動作C110)。さらに、ラッチ回路308〜312の後段にはAND回路313〜317が用意されており、レジスタ制御信号COMPOEによって信号COAPLUS, COAMINUS, FINE PLUS, FINEMINUS, EXTRAMINUSが出力される(動作C111)。
- [0106] 上記のレジスタ制御回路COMPOEはRSフリップフロップ318によって発生される。このRSフリップフロップ318の動作は基準クロックC5の立下りでセット(COMPOE=“H”)、クロックC200でリセット(COMPOE=L)である。クロックC200は基準クロックC5がコース遅延回路400を通過して遅延が与えられた信号である。但し、NOR回路319は基準クロックC5が“H”レベルになった時点、つまり、位相比較開始時点でRSフリップフロップ318をリセットするためのものである。
- [0107] <コース遅延回路>

次に、コース遅延回路の構成および動作について図11および図12を参照しつつ

説明する。図11は図2のコース遅延回路の構成を示す回路図であり、図12は図11のコースディレイレジスタ回路の構成を示す回路図である。

[0108] コース遅延回路400は、上述したように、コースディレイセル401とコースレジスタ402が対となったコースディレイレジスタ回路410がn個(本実施の形態では16個)直列に接続されている。

[0109] 「初期化モード」

まず、コース遅延回路400の初期化モードにおける動作を説明する。

各コースディレイレジスタ回路部410に動作クロックC4が入力される。まず、ダミー遅延回路200から入力される動作クロックC4は1段目のコースディレイレジスタ回路410の端子IN1に入力され、NAND回路451およびインバータ回路421に供給される(動作D101)。NAND回路451の他方の入力是对をなしているコースレジスタ402の出力SYSELで、DLL動作開始時にリセットされ、“L”レベルになっている。したがって、動作クロックC4は端子OUT2には伝達されない(動作D102)。

[0110] 他方、クロックドインバータ431は制御回路100から供給される書き込み信号WTにより制御され、書き込み信号WTが“L”レベルでイネーブルである。書き込み信号WTは、図3のタイミングチャートなどを参照して上述したように、動作クロックCFが出力されてから(動作クロックCF=“H”)1クロック後に“L”レベルから“H”レベルに変化するので、その間動作クロックC4はインバータ回路421、トランスファゲート441、クロックドインバータ431、NAND回路452、インバータ回路422、およびトランスファゲート442を介して端子OUT1に出力される(動作D103)。

このパスがコース遅延(1段分)を与えるパスである。

[0111] 端子OUT1は次段のコースディレイレジスタ回路410の端子IN1に接続されているので、書き込み信号WTが“L”レベルの間は端子OUT2の出力は次段のコースディレイレジスタ回路410に順次伝達される(動作D104)。

[0112] 動作クロックCFが出力されてから1クロック後に書き込み信号WTが“H”レベルになると(図3参照)、クロックドインバータ431が閉じ、クロックドインバータ432が開いてその時点での接点P402の値をラッチする(動作D105)。

その時点でのNOR回路456の出力S401は、接点P401および接点P402の双方



が“L”レベルのとき“H”レベルとなり、それ以外のとき“L”レベルとなる(動作D106)。

つまり、NOR回路456の出力S401が“H”レベルとなる条件は接点P401および接点P402の双方が“L”レベルのときである。この条件が意味するところは、端子IN1からの入力である動作クロックC4の“H”レベルが接点P401まで到達し、接点P402まで到達していないことである。

この条件を満たすのはn個あるコースディレイレジスタ回路410のうち1個だけであることは明らかである。なぜなら、接点P401まで到達しているということはその前のコースディレイレジスタ回路410の接点P402まで到達しており、接点P402まで到達してなければその後のコースディレイレジスタ回路410の接点P401に到達していることはありえないからである。

動作D106は動作クロックCFの出力開始から1クロック間に動作クロックC4がコースディレイレジスタ回路410の何個目まで到達することができるかを判定していることになる。つまり、初期化モードにおける動作クロックC4はダミー遅延回路200を通っているので、「ダミー遅延+可変遅延(コース遅延回路400によるコース遅延のみ)=1周期」を判定していることと同じである。

[0113] 書き込み信号WTが“H”レベルであるのでクロックドインバータ433は開いており、入力IN5はリセット用信号であってこの時は“L”であるので、出力(信号S405)の値が接点P405に伝達される(動作D107)。なお、上記条件が成立しているコースディレイレジスタ回路410では接点P403の値は“H”レベルであり、上記条件が成立していないコースディレイレジスタ回路410では“L”レベルである。

[0114] このとき、ロックモード時に位相比較回路300から出力される信号COAPLUSおよび信号COAMINUSが“L”レベルであり、クロックドインバータ434, 435は閉じている。また、接点P404の値は書き込み信号WTが反転した“L”レベルとなっているのでクロックドインバータ436, 437は閉じている。さらに、接点P404の値が反転されて“H”レベルとなってクロックドインバータ438が開いており、変化前の接点P405の値を反転した値をラッチする(動作D108)。即ち、書き込み信号WTが“H”レベルで接点P405の値が変化する(いずれか1つのコースディレイレジスタ回路のみ“H”)が、端



子OUT3の出力は変化しない。

- [0115] 書き込み信号WTが“H”レベルになった半クロック後に書き込み信号WTは“L”レベルになる(図3参照)。これにより、クロックドインバータ433は閉じ、接点P404の値は“H”レベルとなるのでクロックドインバータ436が開き、接点P405の値がラッチされる(動作D109)。即ち、コースディレイ遅延回路410の何れか一つのコースレジスタ402に“H”が書き込まれたことになる。
- [0116] 同時に、接点P404の値が“H”レベルとなるのでクロックドインバータ437が開き、またそれが反転して“L”レベルとなるのでクロックドインバータ438が閉じて、コースレジスタ402に書き込まれた値が端子OUT3に出力される(動作D110)。
- [0117] 書き込み信号WTが“L”レベルになった直後に制御回路100から端子IN2に“L”レベルのパルスが入力されることになり、NAND回路452およびクロックドインバータ432で構成されるラッチがリセットされる(動作D111)。
- [0118] 「ロックモード(初期クロック出力)」
- 次に、コース遅延回路のロックモード(初期クロック出力)における動作を説明する。ただし、上述した初期化モードの動作により、コースディレイレジスタ回路401のコースレジスタ402のいずれか1つのみ“H”が書き込まれている。
- [0119] 動作クロックC4が1つ目のコースディレイレジスタ回路410のコースディレイセル401の端子IN1に入力される。このとき、対のコースレジスタ402に“H”が書き込まれていれば、端子OUT3の出力は“H”であり、端子OUT2の出力はNAND回路451を介して動作クロックC4の反転した値となる(動作D201)。端子OUT2からの出力はクロック合成部411を介してコース遅延回路400の出力OUTAに到達し、ファイン遅延回路500へ出力される(動作D202)。端子OUTAの値は端子OUT2の値の反転論理になるので、動作クロックC4に対しては正論理になる。
- [0120] 他方、接点P406の値は“L”レベルなので、端子IN1への入力(動作クロックC4)はNAND回路452によって禁止され、端子OUT1には伝達されない。端子OUT1は次段の端子IN1の入力であるため、動作クロックC4は次段に伝達されないことになる。遅延を付与する部分を通さない(動作D203)。
- [0121] なお、コースレジスタ402に“L”が書き込まれているコースディレイレジスタ回路410

では端子IN1から端子OUT1への伝達が行われ、動作クロックC4は次段に伝達される。

[0122] 例えば、1つ目のコースディレイレジスタ回路410のコースレジスタ410に“H”が書き込まれていれば、そのままNAND回路451の経路を通過してディレイ素子は一度も通さず、これを0段であると記載し、16個目のレジスタに“H”が書き込まれていれば15段であると記載する。コース遅延回路400では16段の遅延値を設定することができる。

[0123] 「ロックモード(ロックオン動作)」

さらに、コース遅延回路のロックモード(ロックオン動作)における動作を説明する。

コース遅延回路400にて、位相比較回路300から位相比較結果に対応した信号COAPLUS、信号COAMINUSが入力される(動作D301)。信号COAPLUSおよび信号COAMINUSは1クロック幅の“H”レベルのパルスである。

[0124] 位相比較回路300から信号COAPLUSが入力された場合、信号COAPLUSが“H”レベルでクロックドインバータ435が開く。端子IN3の入力は注目するコースディレイレジスタ回路410の1つ前のコースディレイレジスタ回路410の端子OUT3の出力値(そのコースレジスタ402に書き込まれている値)である。したがって、信号COAPLUSが“H”レベルで、且つ、1つ前のコースディレイレジスタ回路410のコースレジスタ402に書き込まれている値が“H”の場合のみ、接点P405の値が“H”レベルとなる(動作D302)。

[0125] 1クロック後信号COAPLUSが“L”レベルとなると、クロックドインバータ436が開き、接点P405の値“H”をラッチして、コースレジスタ402に“H”が書き込まれる(動作D303)。

[0126] なお、前までコースレジスタ402に“H”が書き込まれていたコースディレイレジスタ回路410では次のような処理が行われる。信号COAPLUSが“H”レベルでクロックドインバータ435が開く。その1つ前のコースディレイレジスタ回路410のコースレジスタ402には“L”が書き込まれているので、接点P405の値が“L”レベルとなる。そして、信号COAPLUSが“L”レベルとなると、クロックドインバータ436が開き、接点P405の値“L”をラッチして、コースレジスタ402に“L”が書き込まれる。

- [0127] 例えば、5個目のコースディレイレジスタ回路410のコースレジスタ402に“H”が書き込まれていれば、信号COAPLUSにより6個目のコースディレイレジスタ回路410のコースレジスタ402に“H”が書き込まれ、5個目のコースディレイレジスタ回路410のコースレジスタ402に“L”が書き込まれる。これにより、コース遅延回路410の段数の設定が4段から5段に1段増加する。なお、その他のコースディレイレジスタ回路410のコースレジスタ402に書き込まれた値はそのまま(“L”)である。
- [0128] 位相比較回路300から信号COAMINUSが入力された場合、信号COAMINUSが“H”レベルでクロックドインバータ434が開く。端子IN4の入力は注目するコースディレイレジスタ回路410の1つ後のコースディレイレジスタ回路410の端子OUTの出力値(そのコースレジスタ402に書き込まれている値)である。したがって、信号COAMINUSが“H”レベルで、且つ、1つ後のコースディレイレジスタ回路410のコースレジスタ402に書き込まれている値が“H”の場合のみ、接点P405の値が“H”レベルとなる(動作D304)。
- [0129] 1クロック後信号COAMINUSが“L”レベルとなると、クロックドインバータ436が開き、接点P405の値“H”をラッチして、コースレジスタ402に“H”が書き込まれる(動作D305)。
- [0130] なお、前までコースレジスタ402に“H”が書き込まれていたコースディレイレジスタ回路410では次のような処理が行われる。信号COAMINUSが“H”レベルでクロックドインバータ434が開く。その1つ後のコースディレイレジスタ回路410のコースレジスタ402には“L”が書き込まれているので、接点P405の値が“L”レベルとなる。そして、信号COAMINUSが“L”レベルとなると、クロックドインバータ436が開き、接点P405の値“L”をラッチして、コースレジスタ402に“L”が書き込まれる。
- [0131] 例えば、5個目のコースディレイレジスタ回路410のコースレジスタ402に“H”が書き込まれていれば、信号COAMINUSにより4個目のコースディレイレジスタ回路410のコースレジスタ402に“H”が書き込まれ、5個目のコースディレイレジスタ回路410のコースレジスタ402に“L”が書き込まれる。これにより、コース遅延回路410の段数の設定が4段から3段に1段減少する。なお、その他のコースディレイレジスタ回路410のコースレジスタ402に書き込まれた値はそのまま(“L”)である。

- [0132] 信号COAPLUSおよび信号COAMINUSの双方が入力されなかった場合にはコース遅延回路400のコースレジスタ402は動作しない。
- [0133] 各コースディレイレジスタ回路410のコースレジスタ402は、バースト開始時およびバースト終了時に、端子IN5にリセット信号が入力されてリセットする(“L”が書き込まれる。 )。
- [0134] 以上の説明から分かるように、位相比較回路300での位相の比較結果を反映してコース遅延回路の段数を増減することができる。
- [0135] 以下、電圧に対する遅延時間の変動を低減するディレイセルの1実施例を図13に示す。図11のディレイ素子(ディレイセル)はインバータ421、トランスファゲート441、インバータ422およびトランスファゲート442により構成されている。抵抗RF0〜RF3により抵抗分圧されるBIAS接点は電源電圧VCCの変化に依存する。抵抗RF5〜RF9とNチャンネルトランジスタTR1および抵抗RF4により分圧されるNBIAS接点はトランジスタTR1のゲート電圧であるBIAS電圧に対して逆特性を持つように調整される。つまり、電源電圧が高くなるとBIAS接点の電圧は高くなり、トランジスタTR1のオン抵抗が減少する。そのため、NBIAS接点の電圧は低くなる。
- [0136] NBIAS接点の電圧が低くなると、トランスファゲート441, 442のトランスファゲートを構成するNチャンネルトランジスタのゲート電圧も低くなるため、トランスファゲート441, 442の抵抗値が大きくなり、トランスファゲート全体の遅延が大きくなる。つまり、電源電圧が高くなると、トランスファゲートの遅延値が大きくなり、通常の遅延特性とは逆の特性を持たすことができる。通常のインバータ421, 422は電源電圧が高くなると小さくなるので、インバータ421, 422とトランスファゲート441, 442とを組み合わせることによって、電源電圧が高くなっても遅延値の変動を最小に抑えることができる。また、電源電圧が低くなると、インバータ421, 422の遅延値が大きくなるが、トランスファゲート441, 442の遅延値が小さくなるので、それらを組み合わせることによって、電源電圧が低くなっても遅延値の変動を最小限に抑えることができる。つまり、電源電圧が上下に変動しても遅延値の変動を最小に抑えることができる。
- [0137] <ファイン遅延回路>

次に、ファイン遅延回路の構成および動作について図14〜16を参照しつつ説明

する。図14は図2のファイン遅延回路の構成を示す回路図である。図15は図14のファインディレイ回路の構成を示す回路図であり、図16は図14のファインレジスタ回路の構成を示す回路図である。なお、図中COACKOは図11中のOUTAに対応している。

また、図15の遅延付与部は図13のディレイセルと同様にインバータと電源電圧に対して該インバータ回路と逆特性を有する回路とにより構成しており、これにより、電源電圧の変動に対する遅延量の変化を最小限に抑える構成になっている。

[0138] ファイン遅延回路500はファインディレイ回路510と、ファインレジスタ回路511と、フリップフロップで構成されたエキストラマイナスレジスタ回路(位相比較回路300から出力されるファイン遅延回路500をバイパスさせるための信号である信号EXTRAMINUSを記憶するレジスタ)512を有する。ファインレジスタ回路511はn個用意され、ファインディレイ回路510と連動して(n+1)段階でファイン遅延値を調整する。本実施の形態ではファインレジスタ回路511は1個のみ設けられており、ファイン遅延値は2階調で、0段、1段と呼ぶ。なお、コース遅延回路400のコースレジスタ402は全段“L”が書き込まれている状態が存在しないが、ファインレジスタ回路では全段“L”が書き込まれることがあるので(n+1)段となる。

[0139] インバータ515, 516およびNAND回路513, 514で構成される組み合わせ論理回路はコース遅延回路400のコースレジスタ402と連動して桁上げ、桁下げを行うための制御回路である。

[0140] <桁上げ、桁下げを行わない場合の動作>

まず、桁上げ、桁下げを行わない場合の動作を説明する。但し、信号COAPLUS, COAMINUSは“L”レベルになっている。また、信号FINEPLUS, FINEMINUSは1クロック幅の“H”パルスである。

[0141] ファインレジスタ回路511はロックモード信号Mの“L”レベル(初期化モード時)でリセットされる(動作E101)。ロックモード時の位相比較回路300からの信号FINEPLUS, FINEMINUSが“L”レベルなのでクロックドインバータ531, 532は閉じており、クロックドインバータ533は開いており、そのときONAND回路525の出力(信号501)は“L”になるからである。



- [0142] その後ロックモードとなり、位相比較回路300から信号FINEPLUSの“H”レベルが入力されると、クロックドインバータ532が開く。最下位のファインレジスタのSYDTMINUSはVCCに固定されているため、ONAND回路525の出力(信号S501)が“H”レベルとなる(動作E102)。内部クロックの1クロック後に信号FINEPLUSが“L”レベルとなり、クロックドインバータ532が閉じ、クロックドインバータ533, 534が開き、最下位のレジスタに“H”が書き込まれる(動作E103)。
- [0143] さらに、信号FINEPLUSの“H”レベルが入力されると、最下位のファインレジスタのSYDTMINUSがVCC固定のため、先に“H”が書き込まれたファインレジスタとひとつ上のファインレジスタにHが書き込まれる(動作E104)。
- [0144] いずれかの段まで“H”が書き込まれているときに信号FINEMINUSが入力されると(“H”レベル)、最上位のファインレジスタのDTPLUSがVSS固定のため、上位側のレジスタから順に“L”が書き込まれる(動作E105)。すなわち、信号FINEMINUSの“H”レベルが入力されるとクロックドインバータ531が開き、最上位のSYDTPLUSがVSSに固定されているので、ONAND回路525の出力(信号S501)は“L”レベルとなる。そして、1クロック後に信号FINEMINUSが“L”レベルとなると、クロックドインバータ531が閉じ、クロックドインバータ533, 534が開き、“L”が書き込まれる。
- [0145] <桁上げ、桁下げの動作>  
さらに、ファイン遅延回路の桁上げ、桁下げ動作について説明する。  
最下位のファインレジスタに“L”が書き込まれているとき(全ファインレジスタに“L”が書き込まれているとき)、信号FINEMINUS信号の“H”レベルが入力されると、信号SYCOAMINUSが“H”レベルとなる。各ファインレジスタ内部では、ONAND回路525の出力(信号S501)が“H”レベルとなる。その後、信号FINEMINUSが“L”レベルとなり、全ての段のファインレジスタに“H”が書き込まれる(動作E201)。なお、このときコース遅延回路400のコースレジスタ402には位相比較回路300から信号COAMINUSの“H”レベルが入力され、段数が1段減る。このように、コース遅延回路400とファイン遅延回路500は連動して桁下げを行う。
- [0146] 最上位のファインレジスタに“H”が書き込まれているとき(全ファインレジスタに“H”が書き込まれているとき)、信号FINEPLUSの“H”レベルが入力されると、SYCOA

PLUSが“H”レベルとなる。各ファインレジスタ内部では、ONAND回路525の出力(信号S501)が“L”レベルとなる。その後、信号FINEPLUSが“L”レベルとなり、全ての段のファインレジスタに“L”が書き込まれる(動作E301)。なお、このときコース遅延回路400のコースレジスタ402には位相比較回路300から信号COAPLUSの“H”レベルが入力され、段数が1段増える。このように、コース遅延回路400とファイン遅延回路500は連動して桁上げを行う。

- [0147] 各ファインレジスタ回路511の出力がファインディレイ回路510に入力され、並列に接続されたクロックドインバータ551, 552をイネーブルし、ドライブ能力を変化させて、遅延値を増減させる(動作E401)。

エキストラマイナスレジスタ512はロックモード信号の“L”レベル(初期化モード時)でセットさせ、“H”レベルの信号EXMINREGを出力する。信号EXMINREGが“H”レベルのときファインディレイ回路510のクロックドインバータ553が開き、遅延付与部をバイパスし(動作E501)、SYDLLFINECKOからFDBCKO(図2のDLLクロックC3に相当)がダミー遅延回路200へ出力される。また、SYDLLFINECKOBからFINECKOB(図2のDLLクロックC3に相当)がクロックドライバ7へ出力される。その後、位相比較回路300からの信号EXTRAMINUSの値とCOMPOEの立下り(1クロック幅の“H”パルス)により、信号EXMINREGの値を変える(動作E502)。なお、クロックドインバータ553が、ファイン遅延回路内の遅延付与部をバイパスさせるための切り替え手段として機能する。

- [0148] 本発明のDLL回路は電源変動により遅延素子の遅延量が変化するので、電源電圧の変動もしくは電源ノイズ等に注意を要する。

本発明のDLL回路の配置場所はできるだけ電源PADの近くが好ましい。これは、内部での電源変動、電源ノイズに対する影響を避けることと同時に、電源配線抵抗による電圧降下の影響を避けることが目的である。

電源ノイズ等による急激な電源電圧の振れに対しては、DLLに供給される電源配線を他の回路の電源配線から独立させ、その電源ラインに例えばCRで構成されるノイズフィルタ(ローパスフィルタ等)を設けることは有効である。

- [0149] 以上、本発明の好適な実施の形態について説明したが、本発明は上述の実施の

形態に限られるものではなく、特許請求の範囲に記載した限りにおいて様々な設計変更が可能なものである。

#### 産業上の利用可能性

[0150] 本発明のDLL回路は、フラッシュメモリにおいて有用なDLL (Delay Locked Loop) 回路に適用でき、フラッシュメモリ等の半導体メモリに利用可能である。

## 請求の範囲

- [1] 外部クロックに対する内部クロック遅延に相当するダミー遅延と、遅延量調整信号により遅延量を調整するコース遅延回路およびファイン遅延回路を持つ可変遅延付加回路と、内部クロックと前記可変遅延回路及びダミー遅延を介して入力される遅延クロックとの位相を比較し、前記可変遅延付加回路に遅延量調整信号を出力する位相比較回路とを有するDLL回路であって、
- バースト開始時の初期化モードとして、
- 前記内部クロックの1クロック周期の間、論理“1”にセットされる第1の信号を、前記ダミー遅延を通して前記可変遅延付加回路に入力する手段と、
- 前記可変遅延付加回路により前記ダミー遅延を通して入力された前記第1の信号の論理“1”の継続時間を前記内部クロックの1クロック周期の終了まで検出し、前記継続時間を基に当該可変遅延付加回路内のコース遅延回路の遅延量を設定することによって当該可変遅延付加回路の遅延量の初期値を設定する手段と、
- を備え、
- 前記可変遅延付加回路における遅延量の初期設定後のロックモードとして、
- 前記内部クロックを前記可変遅延付加回路内のコース遅延回路およびファイン遅延回路により遅延させると共に、前記位相比較回路により出力される遅延量調整信号により当該可変遅延付加回路内のコース遅延回路およびファイン遅延回路の遅延量を補正しつつ、1クロック周期遅れで前記外部クロックに同期する出力クロックを生成するクロック出力手段と、
- を備えることを特徴とするDLL回路。
- [2] 外部クロックに対する内部クロック遅延に相当するダミー遅延と、遅延量調整信号により遅延量を調整するコース遅延回路およびファイン遅延回路を持つ可変遅延付加回路と、内部クロックと前記可変遅延回路及びダミー遅延を介して入力される遅延クロックとの位相を比較し、前記可変遅延付加回路に遅延量調整信号を出力する位相比較回路とを有するDLL回路であって、
- バースト開始時の初期化モードとして、
- 前記内部クロックの1クロック周期の間、論理“1”にセットされる第1の信号を、前記

ダミー遅延を通して前記可変遅延付加回路に入力する手段と、

前記可変遅延付加回路により前記ダミー遅延を通して入力された前記第1の信号の論理“1”の継続時間を前記内部クロックの1クロック周期の終了まで検出し、前記継続時間を基に当該可変遅延付加回路内のコース遅延回路の遅延量を設定することによって当該可変遅延付加回路の遅延量の初期値を設定する手段と、

を備え、

前記可変遅延付加回路における遅延量の初期設定後のロックモードとして、

前記内部クロックを前記可変遅延付加回路内のコース遅延回路およびファイン遅延回路により遅延させると共に、前記位相比較回路により出力される遅延量調整信号により当該可変遅延付加回路内のコース遅延回路およびファイン遅延回路の遅延量を補正しつつ、1クロック周期遅れで前記外部クロックに同期する出力クロックを生成するクロック出力手段と、

を備え、

前記コース遅延回路は、前記初期化モードにおける可変遅延付加回路および前記初期値の設定を記憶する手段として作動し、前記ロックモードにおいて粗い単位遅延量をもつ粗可変遅延付加回路として作動し、

前記ファイン遅延回路は、前記ロックモード時において細かい単位遅延量を持つことにより前記コース遅延回路の単位遅延量を補完する遅延量を付加する細可変遅延付加回路として作動する

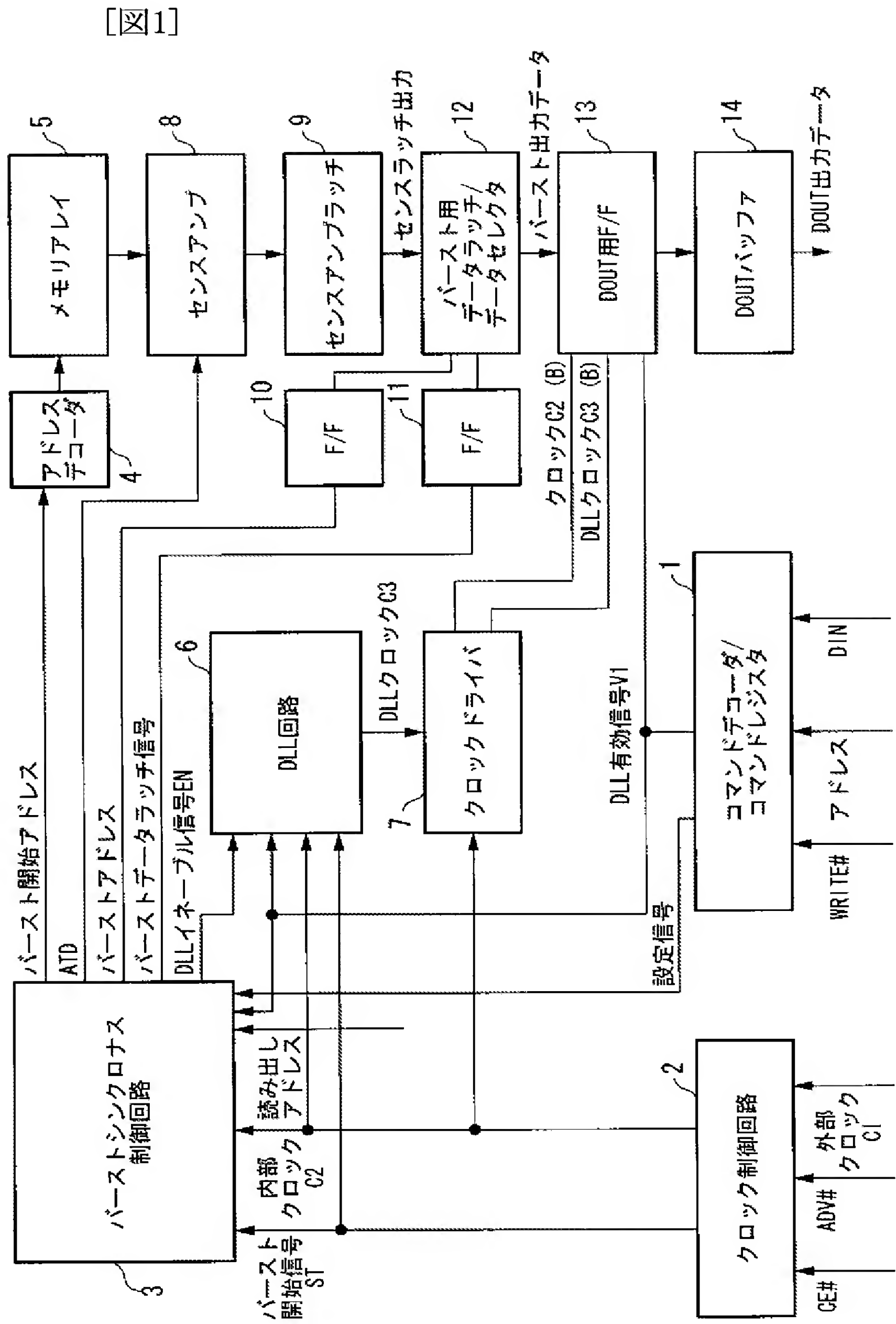
ことを特徴とするDLL回路。

- [3] 前記ロックモードにおいて、前記位相比較回路の判定の結果、前記内部クロックに対して予め定めた閾値の遅延量を付加した前記遅延クロックの位相が、前記内部クロックより遅い場合、前記遅延クロックに前記可変遅延回路内のファイン遅延回路で遅延を付加させない手段を有することを特徴とする請求項1または請求項2に記載のDLL回路。

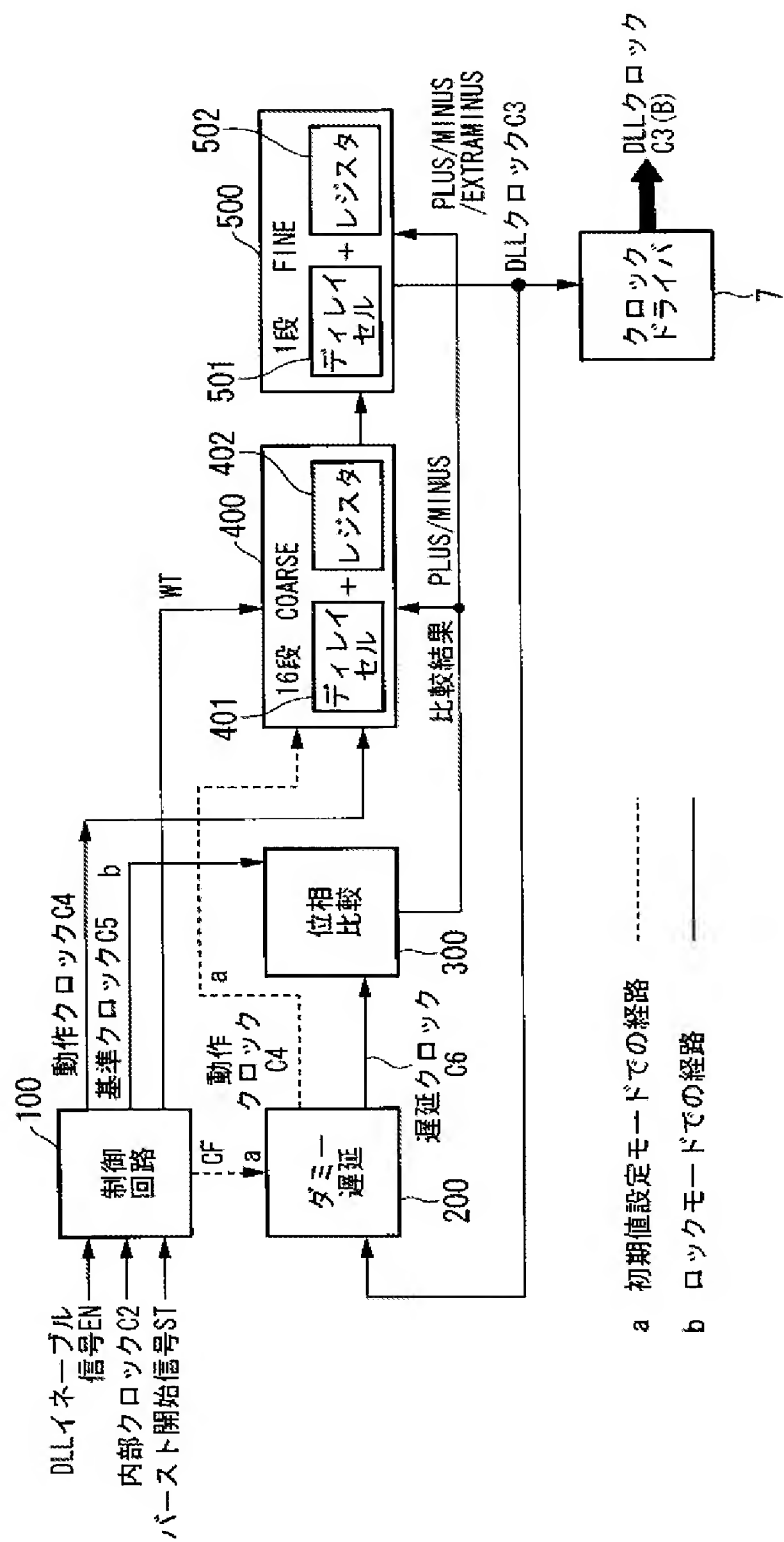
- [4] 前記可変遅延付加回路を構成するコース遅延回路およびファイン遅延回路内の遅延素子をインバータ回路と電源電圧に対して該インバータ回路と逆特性を有する回路とにより構成することを特徴とする請求項1または請求項2に記載のDLL回路。



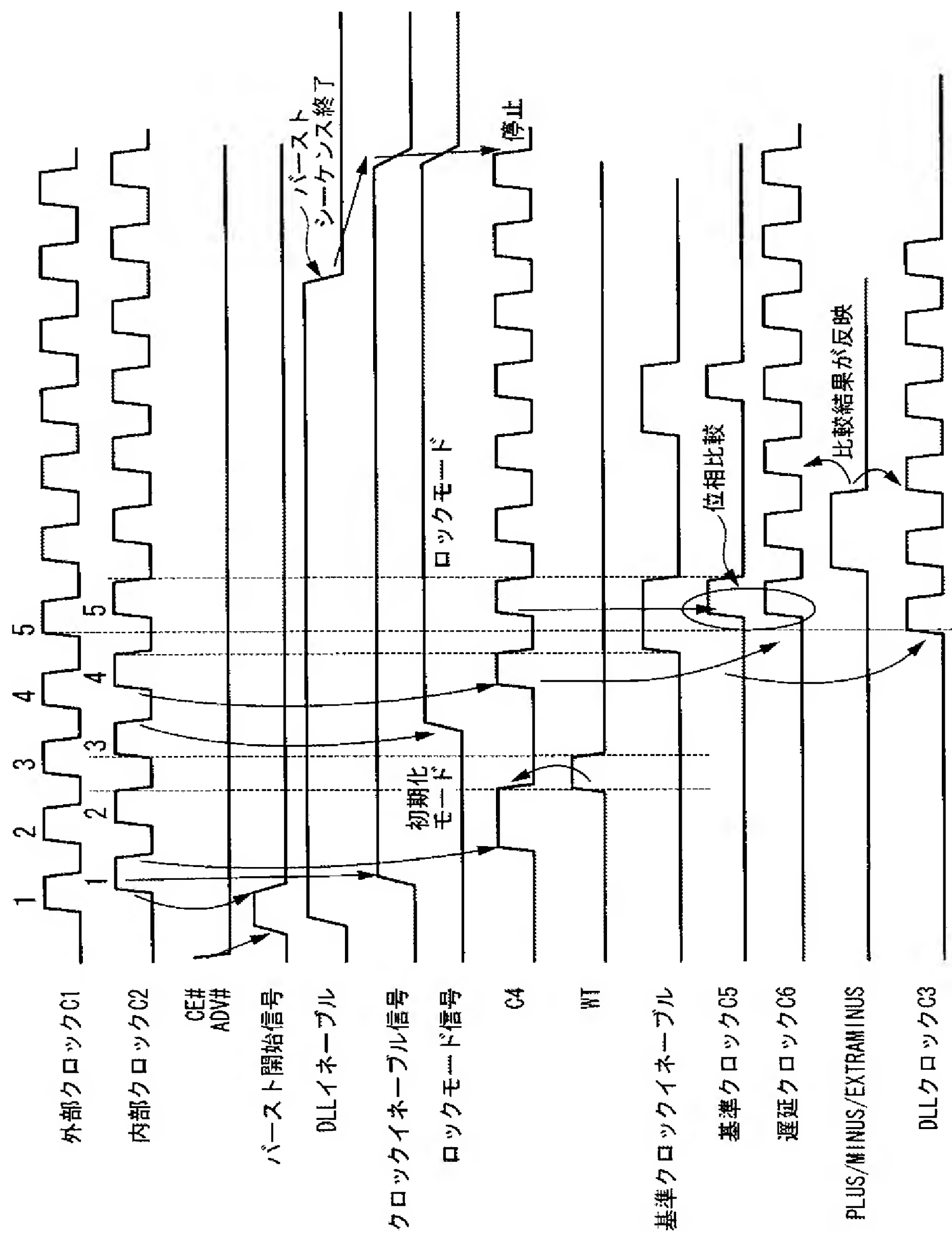
- [5] 外部クロックに対する内部クロック遅延に相当するダミー遅延と、遅延量調整信号により遅延量を調整するコース遅延回路およびファイン遅延回路を持つ可変遅延付加回路と、内部クロックと前記可変遅延回路およびダミー遅延を介して入力される遅延クロックとの位相を比較し、前記可変遅延付加回路に遅延量調整信号を出力するとともに、前記コース遅延回路および前記ファイン遅延回路から出力される遅延量設定信号により前記コース遅延回路および前記ファイン遅延回路が最小の遅延量設定であることを検知するための論理回路を備える位相比較回路とを有するDLL回路を構成する当該可変付加遅延回路であって、
- 前記ファイン遅延回路内において、前記位相比較回路から出力されるファイン遅延回路をバイパスさせるための信号を記憶するレジスタと、前記レジスタの出力により、ファイン遅延回路内の遅延付与部をバイパスさせるための切り替え手段とを備え、
- 前記コース遅延回路および前記ファイン遅延回路の両方が最小の遅延量設定であり、且つ、前記遅延クロックの位相が前記内部クロックより遅い場合はファイン遅延回路の遅延付与部をバイパスし、ファイン遅延回路での遅延を付加しないことを特徴とする可変遅延付加回路。



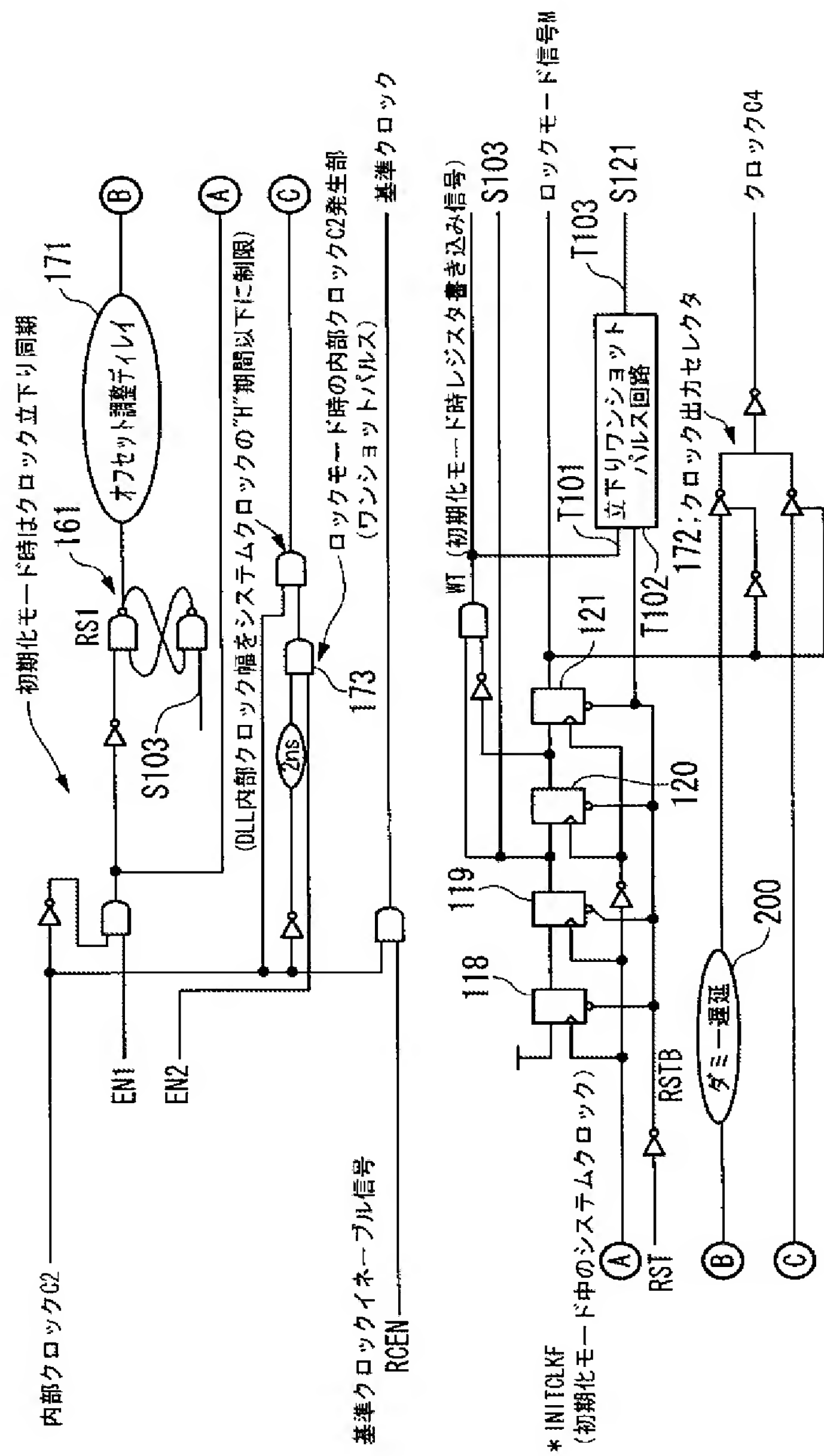
[図2]



[図3]

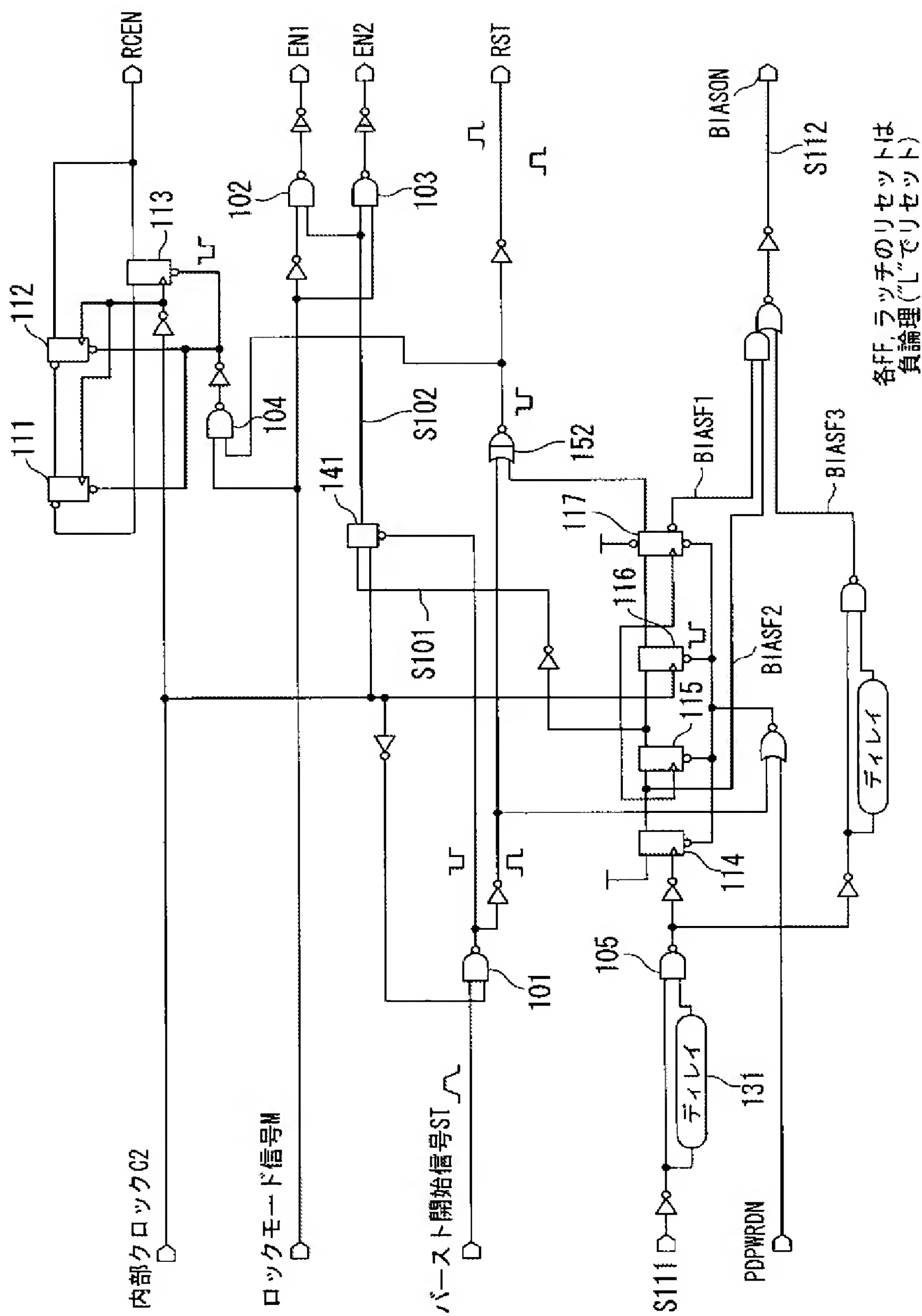


[図4]

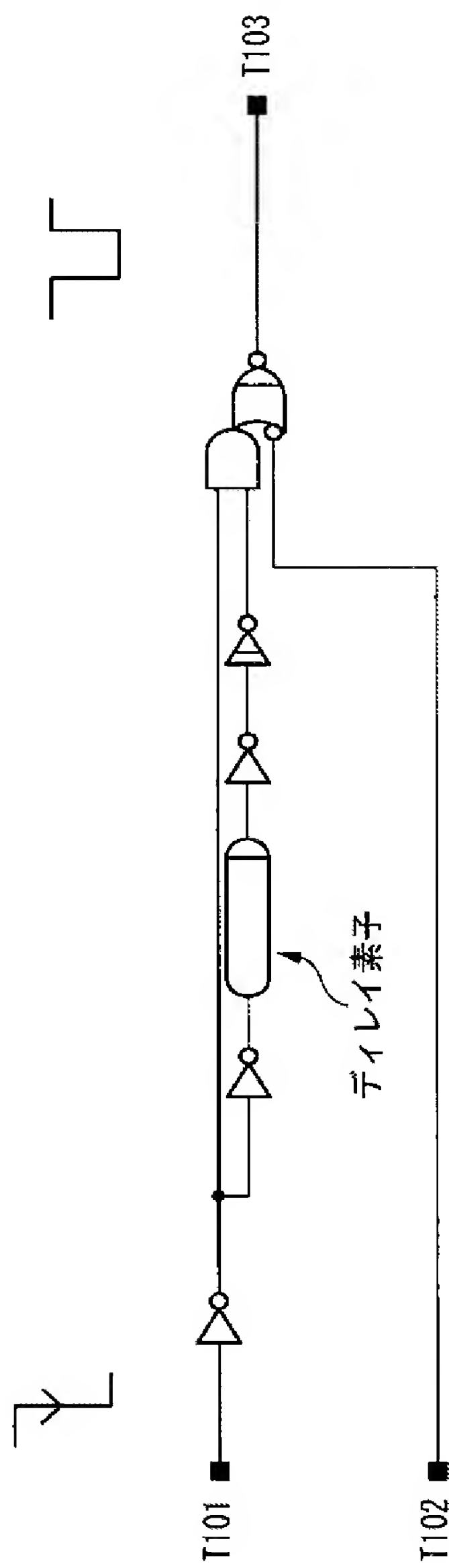




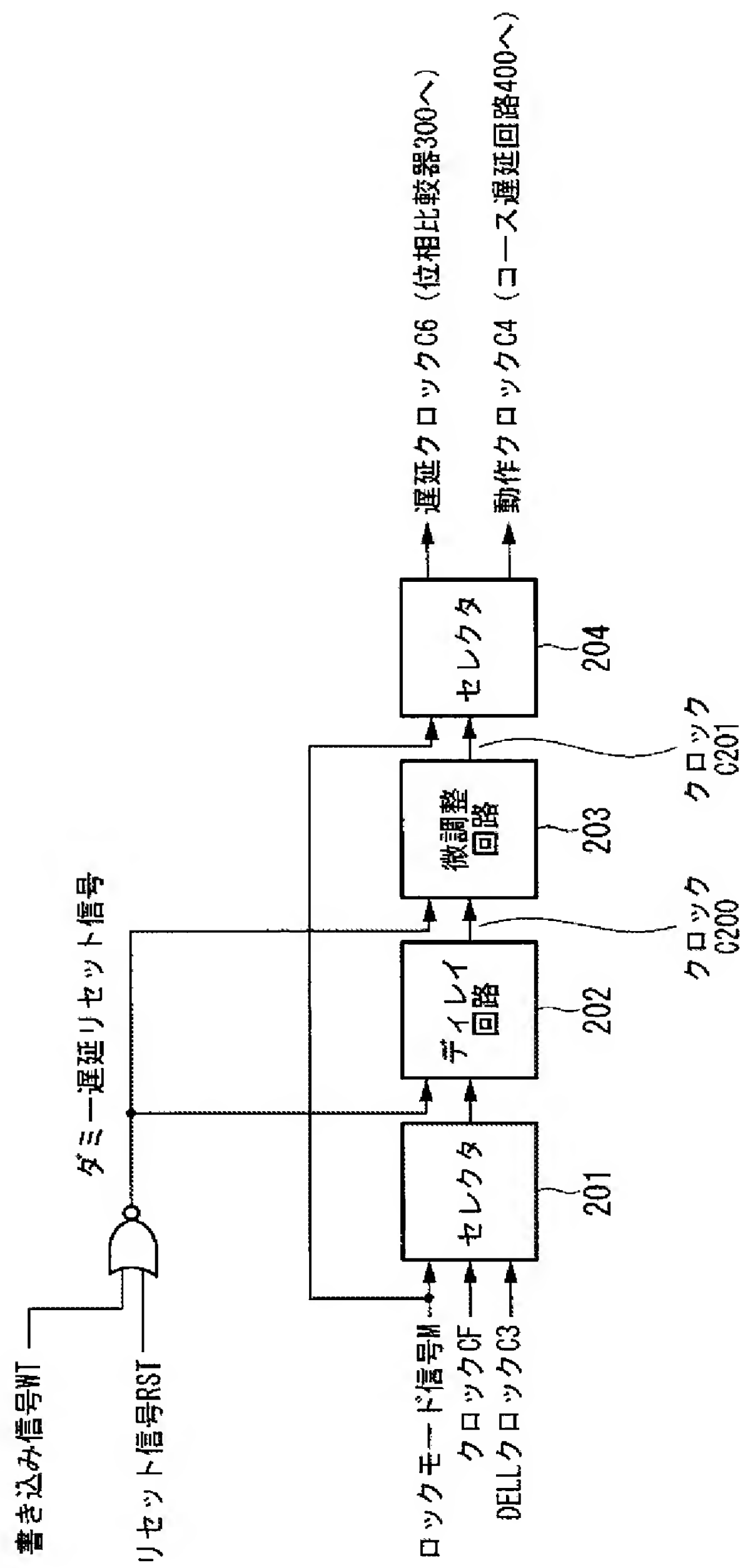
[図5]



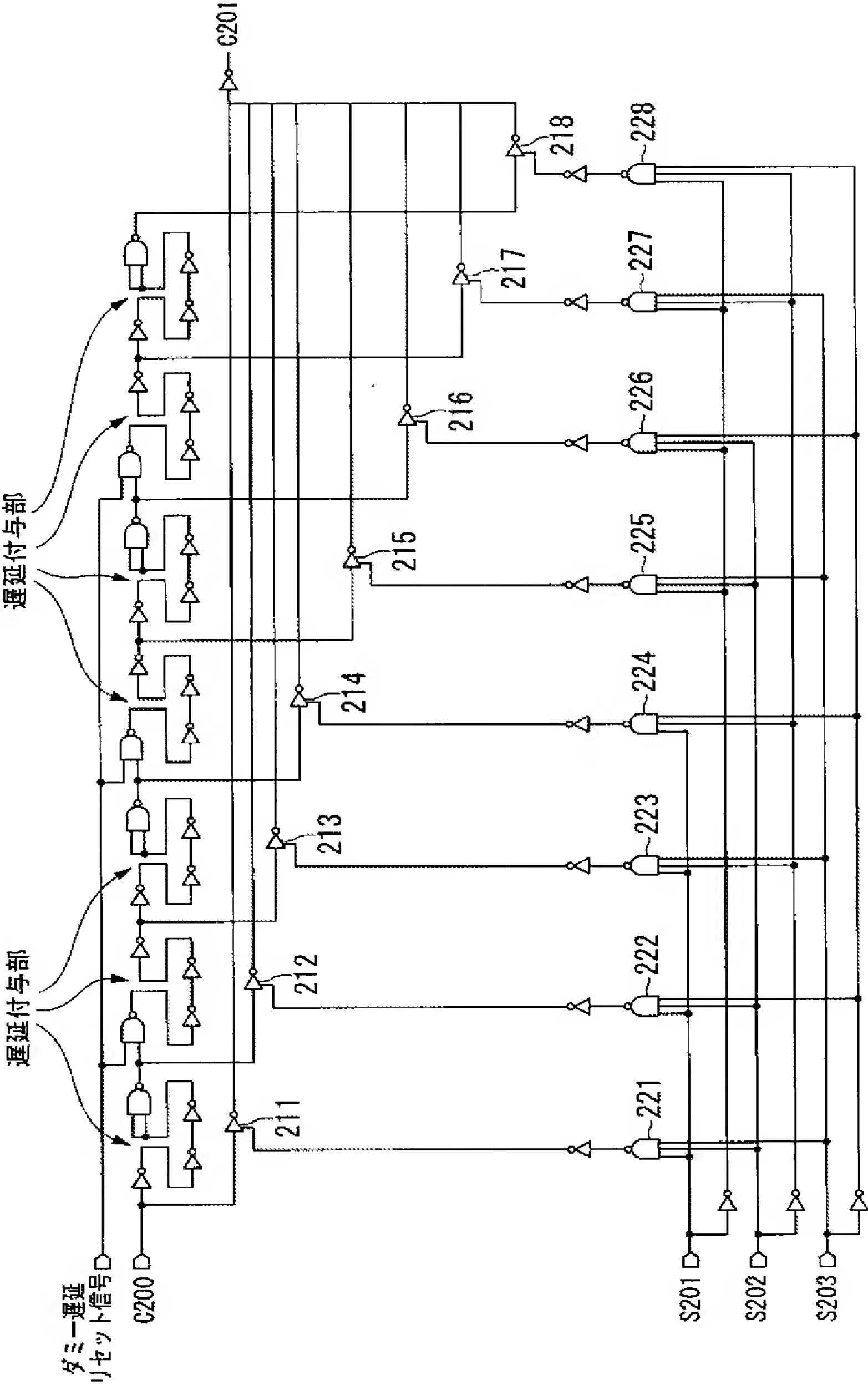
[図6]



[図7]

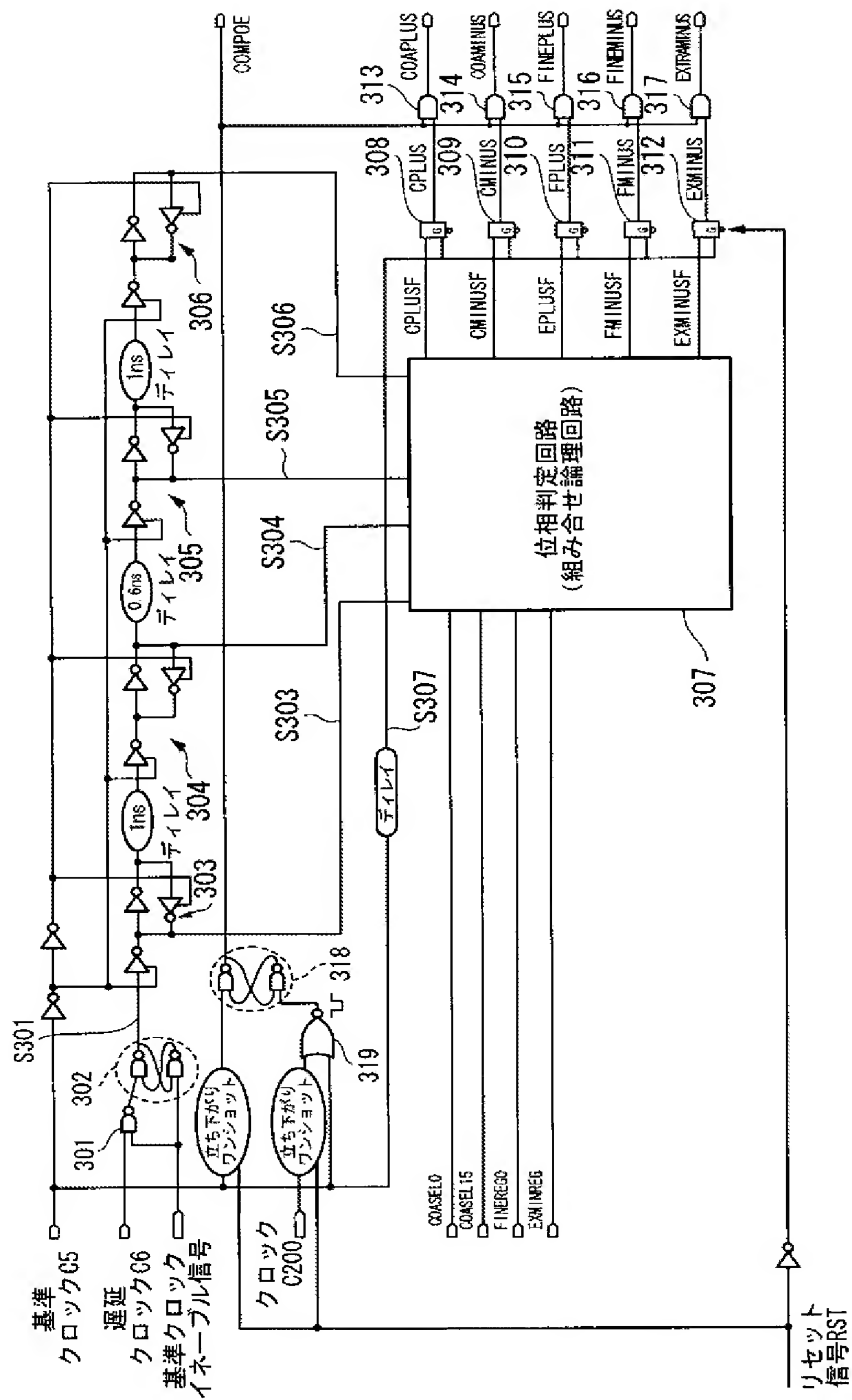


[図8]

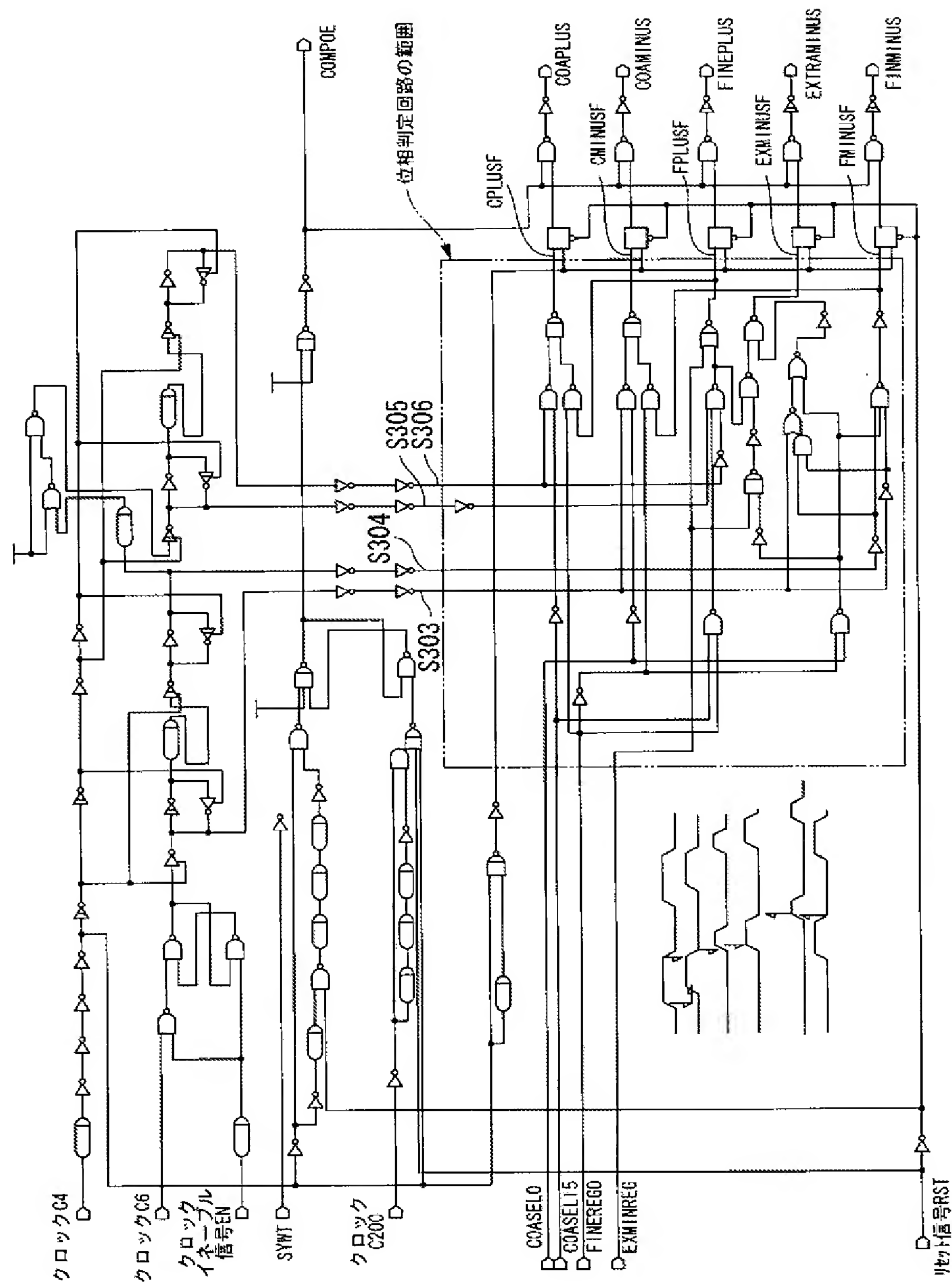




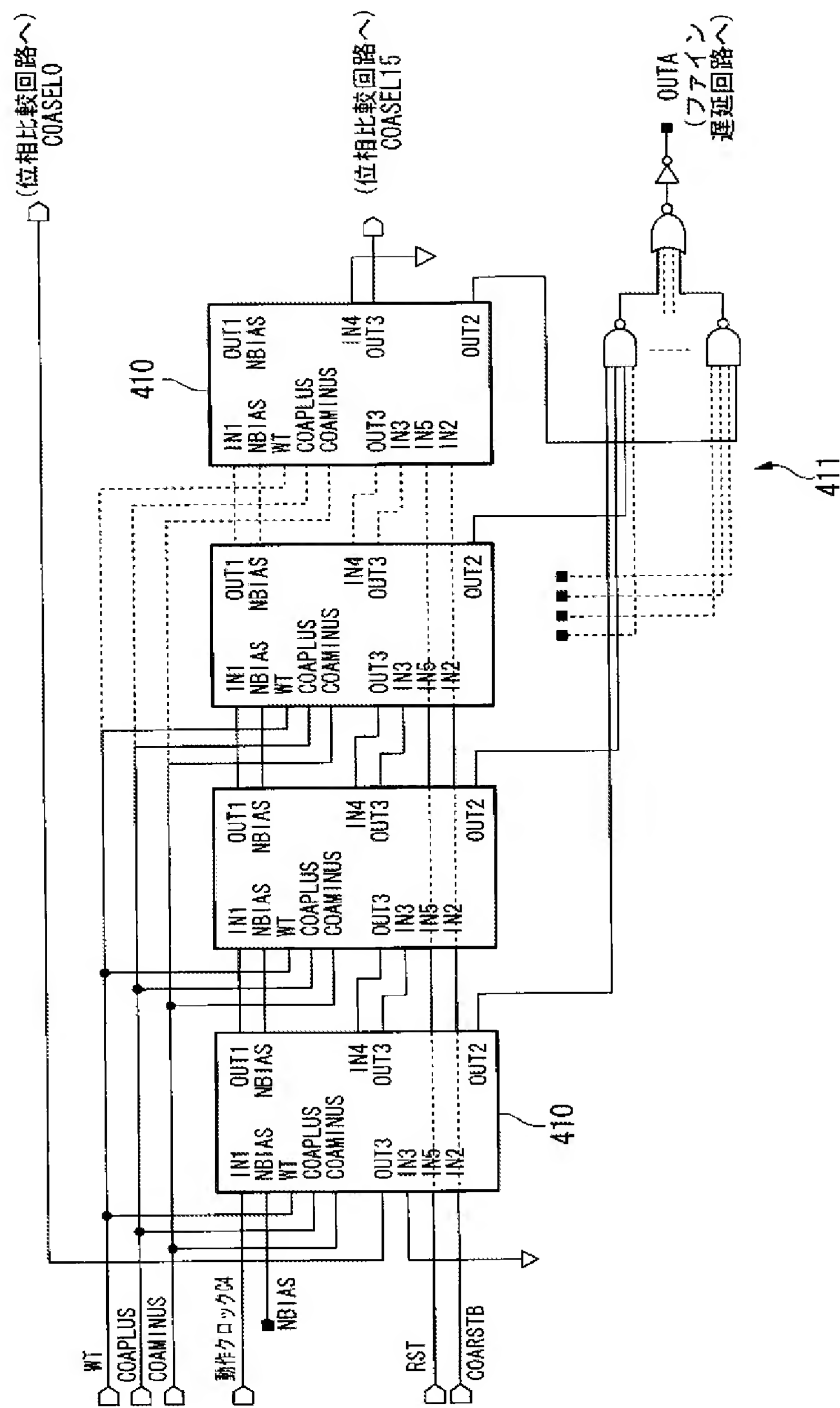
[図9]



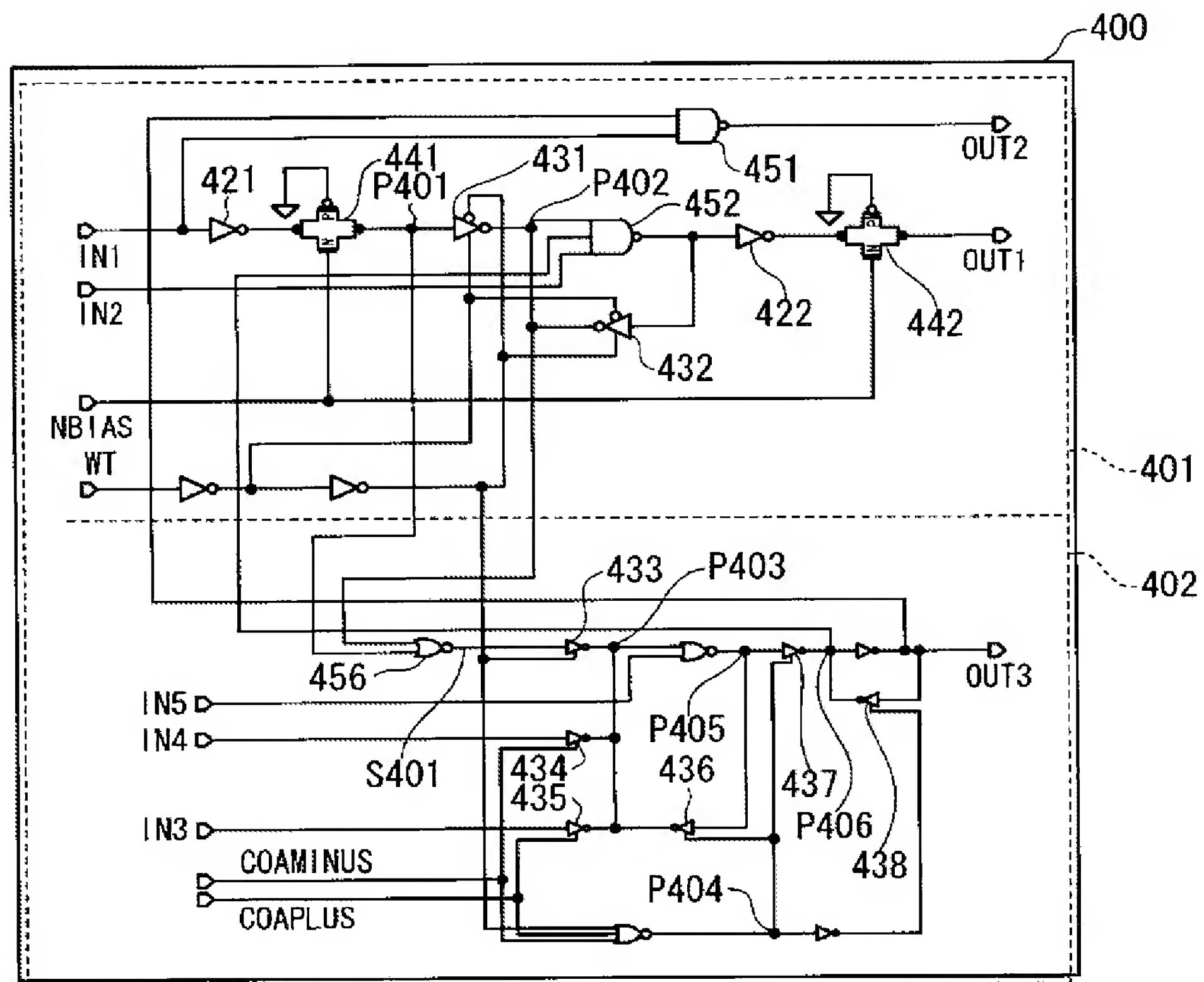
[図10]



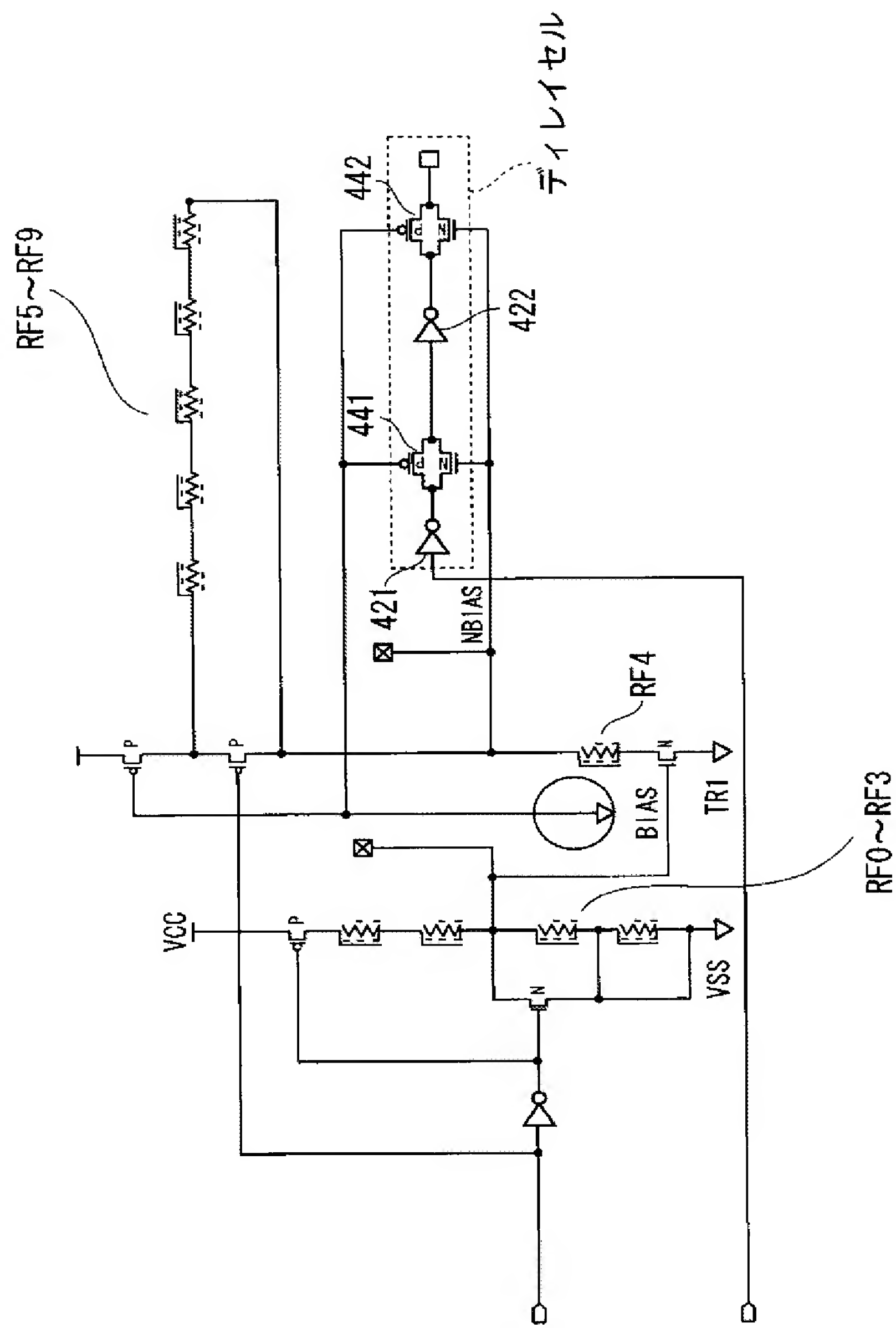
[図11]



[図12]



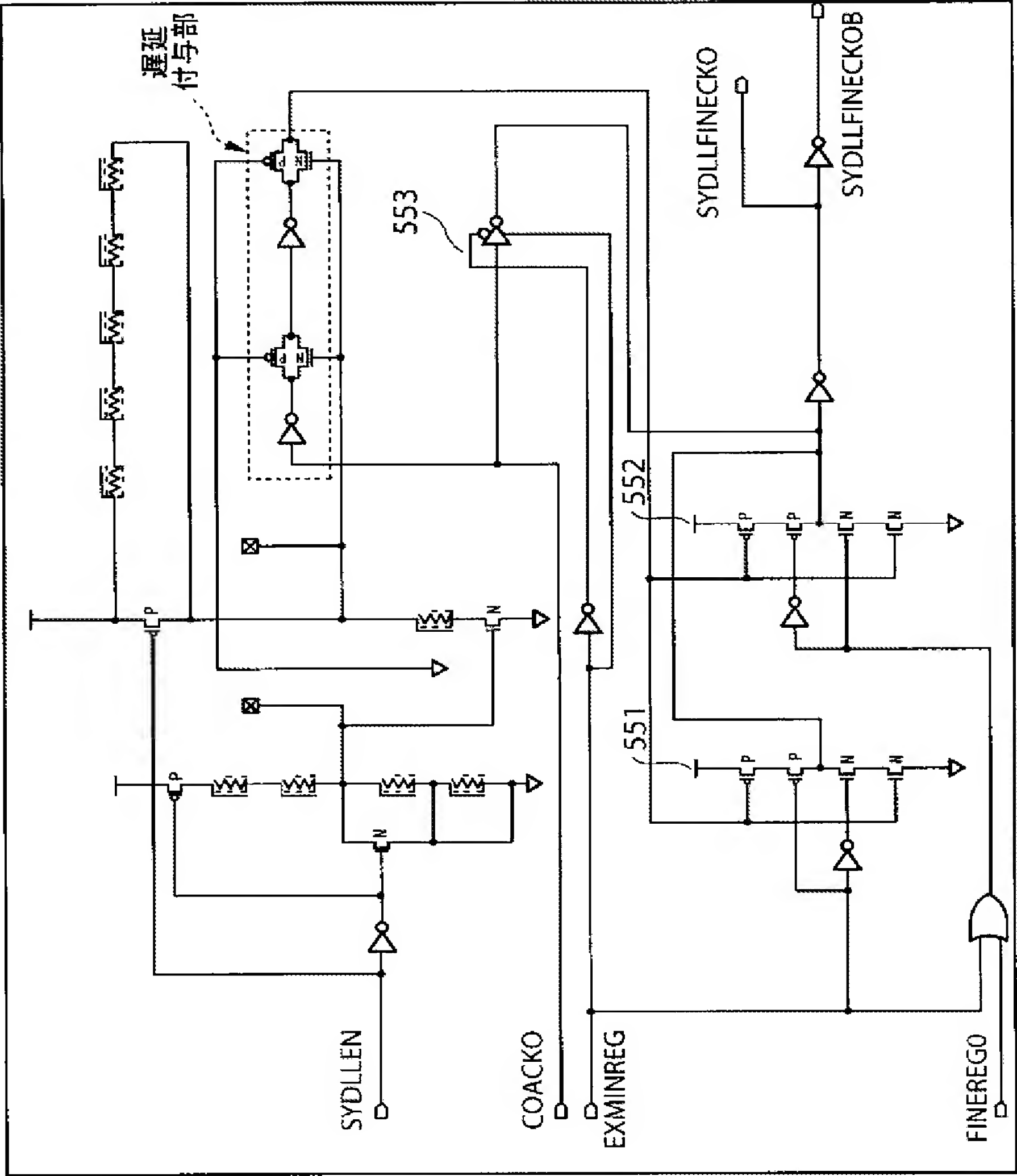
[図13]







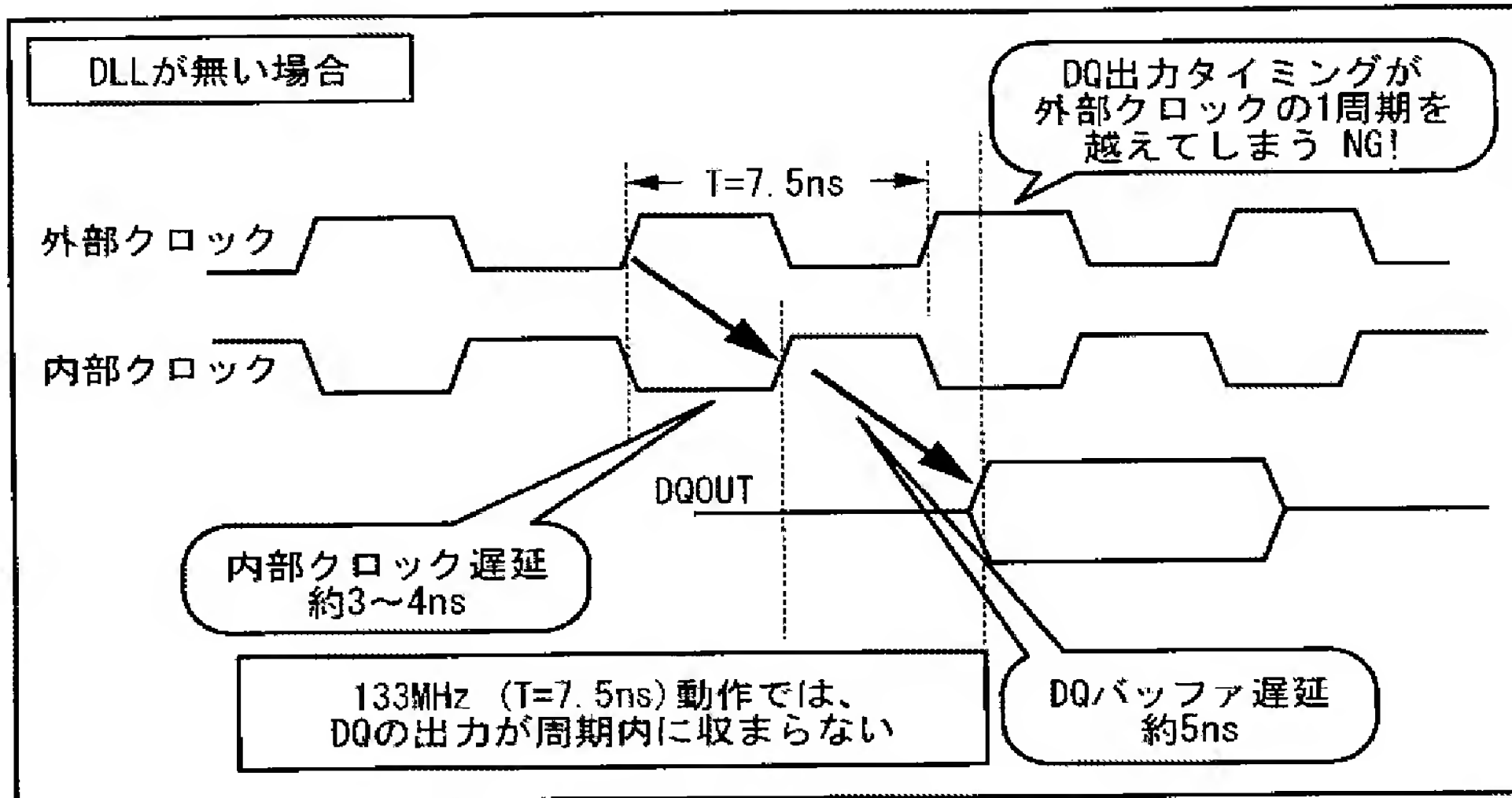
[図15]





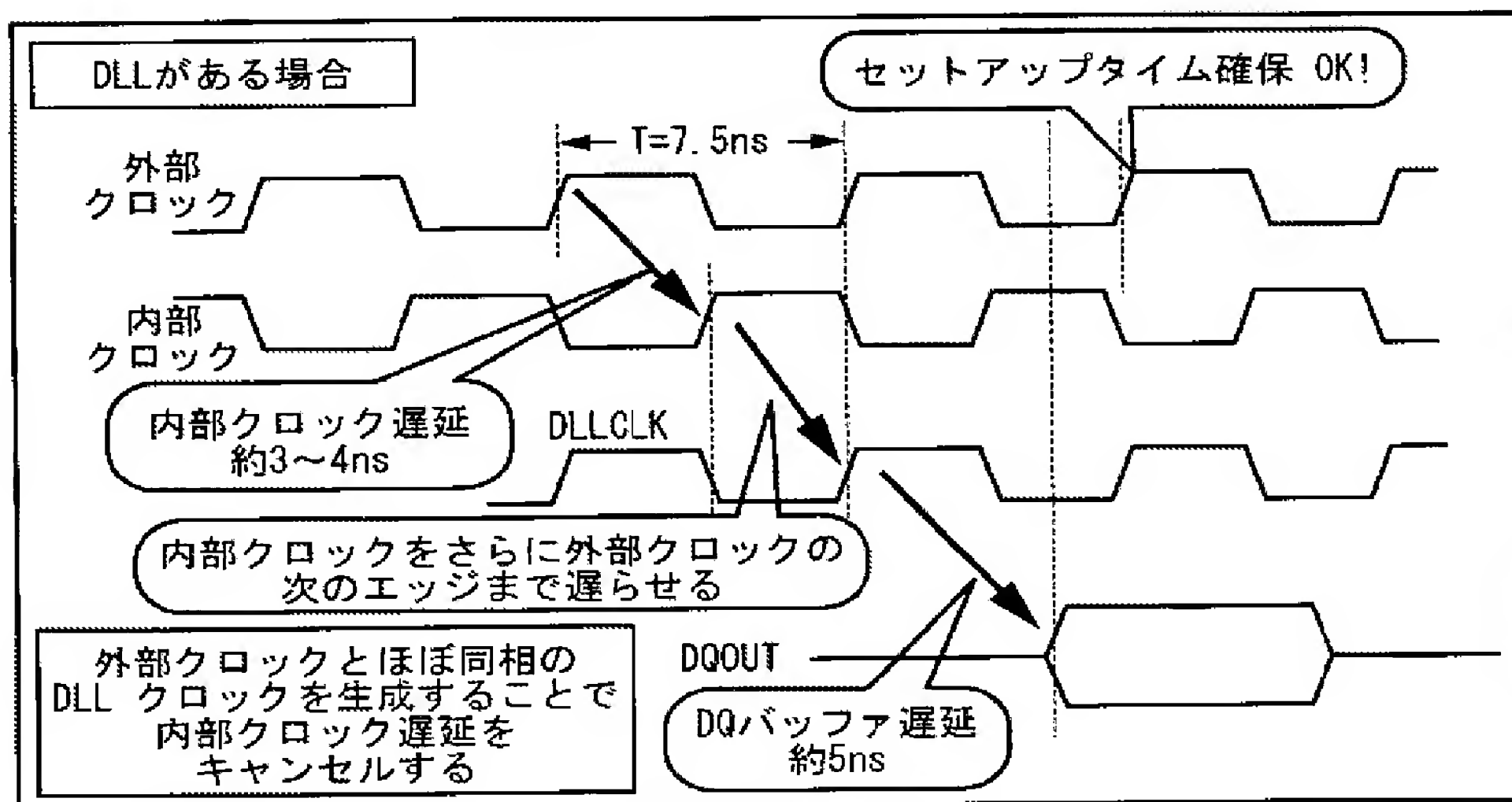
[図17]

(a)



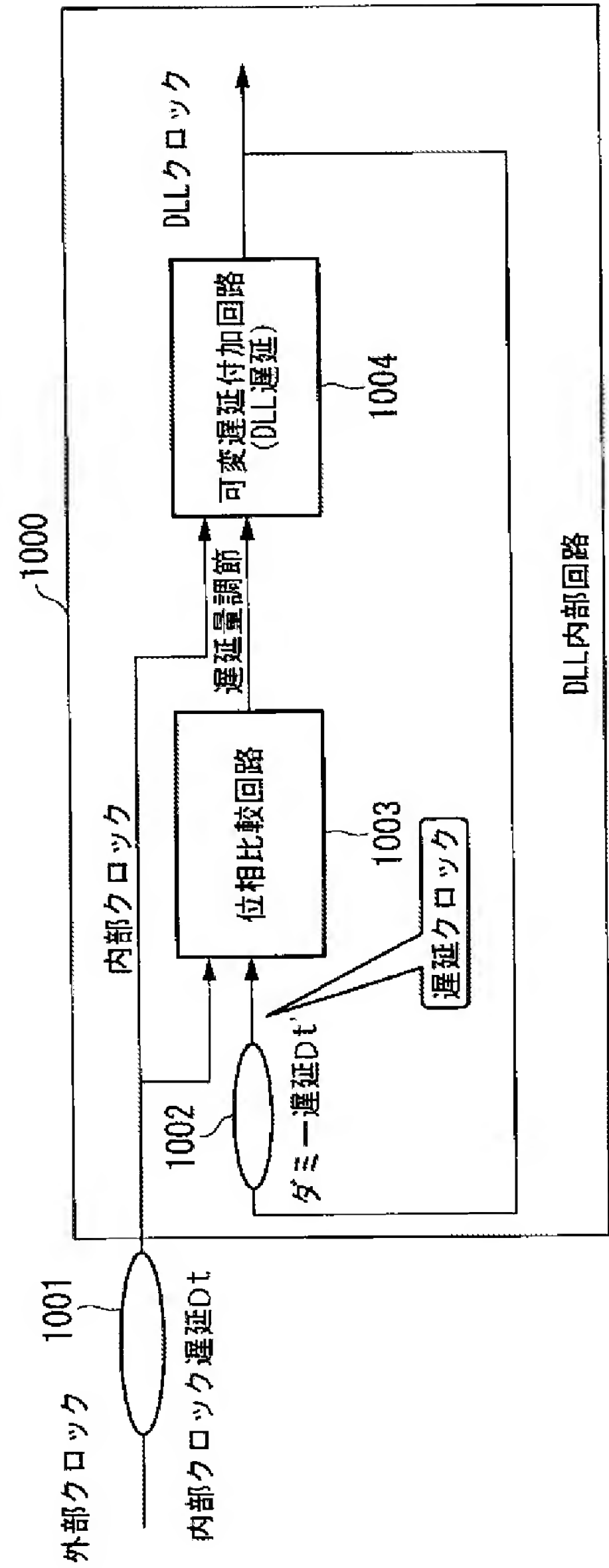
DLLが無い場合

(b)



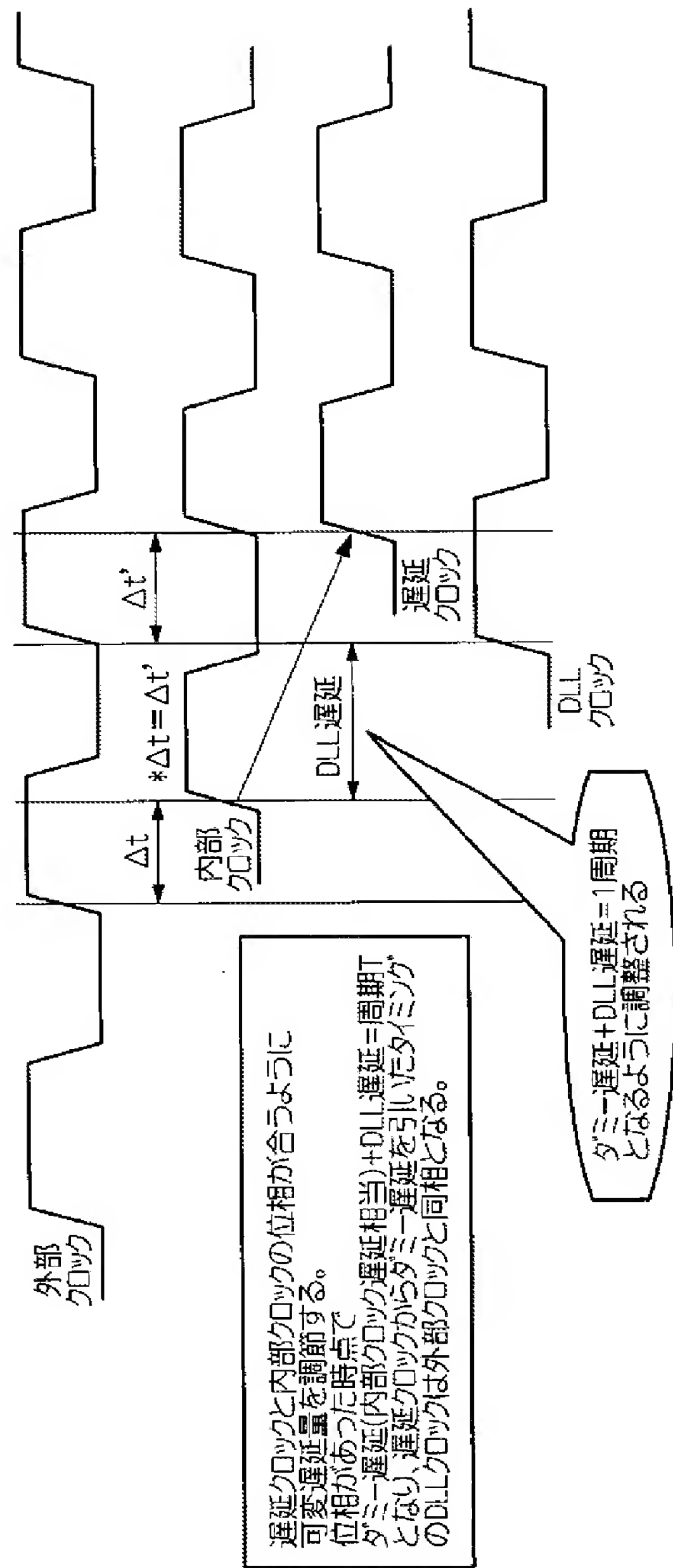
DLLがある場合

[図18]





[図19]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001896

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> G11C16/32, G11C11/4063, G01F1/12, H03H11/26, H03L7/08

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> G11C16/04, G11C11/34, G01F1/12, H03H11/26, H03L7/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-076852 A (Mitsubishi Electric Corp.), 14 March, 2000 (14.03.00), Par. Nos. [0110] to [0113]; Figs. 4, 5, 19, 20 (Family: none)	1-5
Y	JP 11-273342 A (Fujitsu Ltd.), 08 October, 1999 (08.10.99), Par. Nos. [0040] to [0042], [0048] to [0056]; Figs. 1, 8 & US 6088255 A	1-5
Y	JP 4-105411 A (Toshiba Corp.), 07 April, 1992 (07.04.92), Page 6, lower right column, line 7 to page 8, upper left column, line 7; Fig. 1 (Family: none)	4



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

16 May, 2005 (16.05.05)

Date of mailing of the international search report

31 May, 2005 (31.05.05)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001896

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-124873 A (Mitsubishi Electric Corp.), 26 April, 2002 (26.04.02), Par. No. [0132]; Fig. 21 & US 2002/043996 A1	1-5
A	JP 2000-059210 A (Fujitsu Ltd.), 25 February, 2000 (25.02.00), Full text; all drawings & US 6476653 B1 & KR 2001-074824 A & WO 2001/010252 A1	1,2
A	JP 2002-230986 A (ST Microelectronics S.r.l.), 16 August, 2002 (16.08.02), Full text; all drawings & US 2002/122347 A1 & EP 1225597 A1	1,2
A	JP 11-55091 A (Fujitsu Ltd.), 26 February, 1999 (26.02.99), Full text; all drawings & US 6181184 B1 & EP 895355 A2	1,2

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> G 1 1 C 1 6 / 3 2, G 1 1 C 1 1 / 4 0 6 3, G 0 1 F 1 / 1 2,  
H 0 3 H 1 1 / 2 6, H 0 3 L 7 / 0 8

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> G 1 1 C 1 6 / 0 4, G 1 1 C 1 1 / 3 4, G 0 1 F 1 / 1 2,  
H 0 3 H 1 1 / 2 6, H 0 3 L 7 / 0 8

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-076852 A (三菱電機株式会社) 2000.03.14, 段落 0110-0113, 図面第 4, 5, 19, 20 図 (ファミリーなし)	1-5
Y	JP 11-273342 A (富士通株式会社) 1999.10.08, 段落 0040-0042, 0048-0056, 図面第 1, 8 図 & US 6088255 A	1-5
Y	JP 4-105411 A (株式会社東芝) 1992.04.07,	4

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

16.05.2005

国際調査報告の発送日

31.05.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

飯田 清司

電話番号 03-3581-1101 内線 3586

5N

8731

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	第6頁右下欄第7行目－第8頁左上欄第7行目，図面第1図 (ファミリーなし)	
Y	JP 2002-124873 A (三菱電機株式会社) 2002.04.26, 段落 0132, 図面第21図 & US 2002/043996 A1	1-5
A	JP 2000-059210 A (富士通株式会社) 2000.02.25, 全文，全図 & US 6476653 B1 & KR 2001-074824 A & WO 2001/010252 A1	1, 2
A	JP 2002-230986 A (エスティーマイクロエレクトロニクス エス.アール.エル) 2002.08.16, 全文，全図 & US 2002/122347 A1 & EP 1225597 A1	1, 2
A	JP 11-55091 A (富士通株式会社) 1999.02.26, 全文，全図 & US 6181184 B1 & EP 895355 A2	1, 2